



CENTRO UNIVERSITÁRIO UNIFACVEST  
GRADUAÇÃO EM ENGENHARIA ELÉTRICA  
WILLIAM RAFHAEL DA SILVA

**ESTUDO E IMPLEMENTAÇÃO PRÁTICA DO CONVERSOR DUPLO  
ZETA QUADRÁTICO**

LAGES

2019

WILLIAM RAFHAEL DA SILVA

**ESTUDO E IMPLEMENTAÇÃO PRÁTICA DO CONVERSOR DUPLO  
ZETA QUADRÁTICO**

Trabalho de conclusão de curso apresentado no Centro Universitário UNIFACVEST como parte do requisito para obtenção de grau de Bacharelado em Engenharia Elétrica.

Orientadora: Prof<sup>ª</sup>. Dra. Francieli Lima de Sá

LAGES

2019

Monografia apresentada ao Centro Universitário Facvest – UNIFACVEST, como requisito necessário para a obtenção do título de Bacharel em Engenharia Elétrica.

William Raphael da Silva  
NOME DO ALUNO

Estudo e Implementação Prática  
de Conversor Duplo Jato Quadrático.  
TÍTULO DO TRABALHO

BANCA EXAMINADORA:

Dra. Prof.<sup>a</sup> Francieli Lima de Sá  
Titulação e nome do Orientador (a)

Msc Prof. Sílvio Moraes de Oliveira  
Titulação e nome do ~~co~~-orientador (a).

Msc. Prof. João Francisco Franck Jr.  
Titulação e nome do Avaliador (a).

Eng. Calceiton Dal Agnel  
Titulação e nome do Avaliador (a) Externo.

Dra. Prof.<sup>a</sup> Francieli Lima de Sá  
Coordenador (a) Prof. (a). Titulação e nome da Coordenador (a).

Lages, 13 de dezembro de 2019.

## **AGRADECIMENTOS**

Agradeço primeiramente a Deus por me proporcionar o dom da vida, pelas oportunidades de buscar ser melhor a cada dia, por me dar força e inspiração para correr atrás dos meus objetivos.

Aos meus pais, pelo imenso carinho e incentivo durante os anos de graduação, pelos seus sábios conselhos para que eu busque e alcance meus sonhos.

A minha família pelo apoio e incentivo, por sempre acreditarem em mim, me motivando a alcançar meus objetivos.

A minha orientadora Dra. Franciéli Lima de Sá, por toda ajuda e suporte prestados durante a graduação, pelo auxílio e orientação para o desenvolvimento do meu TCC, dedicando seu valioso tempo, pela humildade em compartilhar seu grande conhecimento e assim contribuir para o meu desenvolvimento pessoal e profissional.

Aos professores membros da minha banca, Silvio Moraes de Oliveira e João Francisco Frank Gil, que disponibilizaram seu tempo para avaliar e corrigir o meu trabalho.

A todos os professores e funcionários do Centro Universitário UNIFACVEST, que se dedicam diariamente para proporcionar um aprendizado de qualidade.

Ao professor Samir do INEP, por me conceder a oportunidade do estágio, orientando e contribuindo para o desenvolvimento do meu TCC.

Aos colegas da graduação, pela amizade e companheirismo, pelos conhecimentos compartilhados e por todas as experiências que vivemos juntos ao longo desses 5 anos.

Ao meu amigo Cleiton, pela ajuda e pelos conhecimentos transmitidos durante meu estágio.

Aos colegas do INEP, pela amizade e pelos bons momentos que passamos durante o meu estágio.

Por fim, gostaria de estender os meus agradecimentos a todos aqueles que de alguma forma contribuíram para que eu pudesse concluir minha formação.

*“Bem-aventurado o homem que acha a  
sabedoria, e o homem que adquire  
conhecimento. ”*

*Provérbios 3:13*

## RESUMO

A eletrônica de potência encontra-se presente em praticamente todos os dispositivos que usamos atualmente, assim como os estudos nessa área vem contribuindo com diversas melhorias na forma com que fizemos uso da eletricidade ao passar do tempo, com o intuito de evoluirmos para um futuro mais sustentável e consciente quanto a utilização da energia elétrica. Dentro desse contexto este trabalho apresenta um estudo teórico e prático, de uma nova topologia de conversor CC-CC, conhecido como Duplo Zeta Quadrático. Esse conversor faz parte de uma nova família de conversores quadráticos baseados nos conversores convencionais (Buck, Boost, Buck-Boost, Cúk, Sepic e Zeta). Essa nova família de conversores foi concebida através da adição de uma célula de comutação, a qual é responsável por transformar os conversores básicos em conversores com uma elevada taxa de conversão estática, além de as novas topologias obtidas apresentarem alto ganho, elas trazem mais algumas vantagens como por exemplo a sua configuração simétrica que diminui os esforços de tensão nos interruptores. Por tratar de uma topologia nova, o presente trabalho aborda uma análise mais prática do conversor Duplo Zeta Quadrático, onde primeiramente é feito um estudo teórico sobre a origem e funcionamento do conversor, envolvendo suas principais características como formas de onda e etapas de operação. O estudo nesse trabalho também inclui o projeto e desenvolvimento de um protótipo do conversor, o qual é utilizado para uma análise experimental, onde são obtidos seus principais resultados com o propósito de avaliar e comprovar os estudos teóricos, assim como validar a eficácia e viabilidade dessa nova topologia para aplicações.

Palavras-chave: Conversor CC-CC, Conversor Zeta, Conversor Quadrático e Alto Ganho.

## **ABSTRACT**

Power electronics are present in virtually every device we use today, and studies in this area have contributed to a number of improvements in the way we have used electricity over time, in order to evolve to a more sustainable and conscious future regarding the use of electricity. Within this context, this work presents a theoretical and practical study of a new CC-DC converter topology, known as Double Quadratic Zeta. This converter is part of a new family of quadratic converters based on conventional converters (Buck, Boost, Buck-Boost, Cúk, Sepic, and Zeta). This new family of converters was conceived by the addition of a switching cell, which is responsible for transforming the basic converters into converters with a high static conversion rate. Besides the new topologies obtained a present high gain, they bring some further advantages, such as its symmetrical configuration that reduces the stresses on the switches. As it deals with a new topology, the present work deals with a more practical analysis of the Quadratic Double Zeta converter, where first it is made a theoretical study about the origin and operation of the converter, involving its main characteristics as waveforms and operation steps. The study in this work also includes the design and development of a converter prototype, which is used for an experimental analysis, where its main results are obtained to evaluate and prove the theoretical studies, as well as validating the efficacy and viability of the application of this new topology.

Keywords: DC-DC Converter, Zeta Converter, Quadratic Converter and High Gain.

## SUMÁRIO

<b>LISTA DE FIGURAS.....</b>	<b>9</b>
<b>LISTA DE SIGLAS.....</b>	<b>12</b>
<b>1. INTRODUÇÃO.....</b>	<b>14</b>
<b>1.1 Objetivos.....</b>	<b>15</b>
1.1.1 Objetivo geral.....	15
1.1.2 Objetivos específicos.....	15
<b>1.2 Justificativa.....</b>	<b>16</b>
<b>1.3 Aplicações.....</b>	<b>16</b>
<b>1.4 Metodologia.....</b>	<b>18</b>
<b>2. REVISÃO BIBLIOGRÁFICA.....</b>	<b>20</b>
<b>2.1 Introdução.....</b>	<b>20</b>
<b>2.2 Conversor Zeta básico não isolado.....</b>	<b>20</b>
<b>2.3 Conversor Zeta Multinível.....</b>	<b>23</b>
<b>2.4 Célula básica de comutação.....</b>	<b>25</b>
<b>3. CONVERSOR CC-CC DUPLO ZETA QUADRÁTICO.....</b>	<b>27</b>
<b>3.1 Introdução.....</b>	<b>27</b>
<b>3.2 Princípio de funcionamento.....</b>	<b>27</b>
3.2.1 Análise de operação em modo de condução contínua.....	28
3.2.2 Equações características.....	31
<b>3.3 Simulação do conversor em malha aberta.....</b>	<b>35</b>
3.3.1 Simulação de rendimento.....	39
<b>4. PROJETO DO CONVERSOR.....</b>	<b>41</b>
<b>4.1 Introdução.....</b>	<b>41</b>
<b>4.2 Especificação dos semicondutores.....</b>	<b>41</b>
<b>4.3 Especificação dos capacitores.....</b>	<b>42</b>
<b>4.4 Projeto dos indutores.....</b>	<b>43</b>
<b>4.5 Controle.....</b>	<b>43</b>
4.5.1 FPGA.....	44
4.5.2 Modulação PWM com FPGA.....	46
<b>4.6 Desenvolvimento do protótipo.....</b>	<b>47</b>
<b>5. RESULTADOS EXPERIMENTAIS.....</b>	<b>50</b>
<b>5.1 Introdução.....</b>	<b>50</b>



<b>5.2 Conversor Duplo Zeta Quadrático operando em malha aberta.....</b>	<b>50</b>
<b>5.3 Análise de rendimento do conversor .....</b>	<b>53</b>
<b>6. CONCLUSÃO.....</b>	<b>56</b>
<b>REFERÊNCIAS .....</b>	<b>58</b>
<b>APÊNDICE A – PROJETO DOS PARÂMETROS DO CONVERSOR DUPLO ZETA QUADRÁTICO .....</b>	<b>61</b>
<b>APÊNDICE B - ESQUEMÁTICO DO CONVERSOR .....</b>	<b>72</b>
<b>APÊNDICE C – ANÁLISE DE RENDIMENTO.....</b>	<b>73</b>
<b>APÊNDICE D – VISÃO GERAL DO PROGRAMA SINTETIZADO.....</b>	<b>77</b>
<b>APÊNDICE E – ARTIGO CIENTÍFICO ACEITO NA CONFERÊNCIA INTERNACIONAL IEEE SOBRE TECNOLOGIA INDUSTRIAL.....</b>	<b>78</b>

## LISTA DE FIGURAS

Figura 1 – Origem do conversor Zeta.....	21
Figura 2 – Curva de ganho estático ideal do conversor Zeta.....	22
Figura 3 – Conversores Zeta Multiníveis .....	23
Figura 4 – Célula de comutação .....	25
Figura 5 – Origem conversor Duplo Zeta Quadrático.....	27
Figura 6 – Primeira etapa de operação .....	29
Figura 7 – Segunda etapa de operação .....	29
Figura 8 – Formas de onda do conversor Duplo Zeta Quadrático.....	30
Figura 9 – Comparação da curva de ganho estático .....	34
Figura 10 – Esquemático do conversor Duplo Zeta Quadrático para simulação. ....	36
Figura 11 – Tensão de entrada e de saída obtida na simulação do conversor .....	37
Figura 12 – Principais formas de onda obtidas na simulação, parte a.....	38
Figura 13 – Principais formas de onda obtidas na simulação, parte b.....	39
Figura 14 – Simulação do rendimento.....	40
Figura 15 – Estrutura do FPGA.....	45
Figura 16 – FPGA BeMicro Max10 .....	46
Figura 17 – Layout para a PCB do conversor Duplo Zeta Quadrático.....	48
Figura 18 – Visualização 3D do projeto do conversor .....	49
Figura 19 – Conversor Duplo Zeta Quadrático .....	49
Figura 20 – Tensão de entrada $V_{in}$ (amarelo) e tensão de saída $V_{out}$ (azul) .....	51
Figura 21 – Tensão nos interruptores $S_1$ (azul) e $S_2$ (amarelo). ....	52
Figura 22 – Corrente nos indutores $L_1$ (amarelo), $L_2$ (rosa) e $L_5$ (azul). ....	53
Figura 23 – Rendimento do conversor Duplo Zeta Quadrático.....	54
Figura 24 – Comparação da curva de rendimento real e simulada.....	55
Figura 25 – Análise de rendimento com 10% da potência nominal.....	73
Figura 26 – Análise de rendimento com 20% da potência nominal.....	73
Figura 27 – Análise de rendimento com 30% da potência nominal.....	73
Figura 28 – Análise de rendimento com 40% da potência nominal.....	74
Figura 29 – Análise de rendimento com 50% da potência nominal.....	74
Figura 30 – Análise de rendimento com 60% da potência nominal.....	74
Figura 31 – Análise de rendimento com 70% da potência nominal.....	75

Figura 32 – Análise de rendimento com 80% da potência nominal.....	75
Figura 33 – Análise de rendimento com 100% da potência nominal.....	75
Figura 34 – Análise de rendimento com 120% da potência nominal.....	76
Figura 35 – Análise de rendimento com 140% da potência nominal.....	76
Figura 36 – Análise de rendimento com 160% da potência nominal.....	76

## LISTA DE SIGLAS

A/D	- Analógico para Digital
ADC	- Analog-to-digital converter (conversor analógico para digital)
CI	- Circuito integrado
CPU	- Central Processing Unit (Unidade Central de Processamento)
DAC	- Digital-to-Analog Converter (conversor digital-analógico)
DC	- Direct current (Corrente contínua)
DPFM	- Digital pulse-frequency modulator (modulação de frequência de pulso)
DPWM	- Digital pulse-width modulation (modulação digital por largura de pulso)
DSP	- Digital Signal Processor (Processador Digital de Sinais)
E/S	- Entrada/saída
EDA	- Electronic Design Automation (Automação de design eletrônico)
FPGA	- Field Programmable Gate Array, em português (Matriz de Portas Programáveis em Campo)
$f_s$	- Frequência de chaveamento
GPIO	- General-purpose input/output (Entrada/Saída De Uso Geral)
GS	- Giga Sample (Taxa de amostragem)
HDL	- Hardware Description Language (Linguagem de descrição de hardware)
ICSP	- In Circuit Serial Programming (programação serial em circuito)
IDE	- Ambiente de Desenvolvimento Integrado
IEEE	- Instituto de Engenheiros Eletricistas e Eletrônicos
LUT	- Look up table
MA	- Malha aberta
MF	- Malha fechada
MHz	- Mega Hertz
N/D	- Não aplicável
PCB	- Printed Circuit Board (Placa de Circuito Impresso)
PFC	- Power Factor Correction (Correção de fator de potência)
PI	- Proporcional Integral
PID	- Proporcional Integral Derivativa
PLL	- Phase Locked Loop (Loop de bloqueio de fase)

PWM	- Pulse-width modulation (Modulação por largura de pulso)
RAM	- Random Access Memory (Fonte de alimentação ininterrupta)
UPS	- Uninterruptible Power Supply (Memória de acesso aleatório)
VLSI	- Very Large Scale Integration (Integração em muito larga escala)

## 1. INTRODUÇÃO

O constante avanço da tecnologia, vem transformando diariamente a forma de como vivemos, a variedade de novos dispositivos e equipamentos eletroeletrônicos que são desenvolvidos, visando satisfazer nossas necessidades do dia a dia, tem nos tornado extremamente dependentes do uso constante de energia elétrica. O crescimento da demanda de energia a nível mundial e a necessidade de suprir esta demanda de forma sustentável, tem gerado uma grande busca por equipamentos cada vez mais eficientes, bem como a implementação de sistemas distribuídos de geração, que são incentivados pelas regulamentações do atual mercado de energia e também por programas governamentais. A geração distribuída caracteriza-se pela implementação de pequenas unidades geradoras próximas ou no local de consumo. Geralmente utilizando fontes de geração como painéis fotovoltaicos ou células de combustível, onde a geração de energia se dá em corrente contínua e em baixa tensão, neste caso a ligação da fonte geradora com a rede elétrica requer um circuito de conversão de energia, surgindo assim a necessidade do uso de conversores estáticos CC-CC para elevar a tensão, e por fim um estágio de conversão CC-CA (SÁ, 2014).

Atualmente existem diversos modelos de conversores CC-CC, porém seis são mais conhecidos e populares, conhecidos como: conversor Buck, Boost, Buck-Boost, Cúk, Sepic e Zeta (MARTINS; BARBI, 2006). Estes modelos de conversores, por sua simplicidade e popularidade, deram origem a estudos de novas topologias, criadas com base nos mesmos. Entretanto, em aplicações onde se faz necessário uma grande taxa de conversão estática, os conversores convencionais não atendem essas características, sendo assim necessário a utilização de conversores que possuem ganhos elevados, onde os conversores CC-CC isolados são a principal alternativa, porém a existência de um transformador pode comprometer a eficiência do conversor, bem como ocasionar altos picos de tensão nos interruptores devido a indutância de dispersão (BARAUNA, 2003).

Desta forma, uma alternativa para esses tipos de aplicações são os conversores CC-CC quadráticos não-isolados, que vem sendo estudados e desenvolvidos de maneira a entregar uma elevada taxa de conversão estática, e apresentar estruturas que visam reduzir os esforços de tensão nos interruptores (BOTTARELLI, 2006).

Portanto neste trabalho é desenvolvido um estudo aprofundado sobre o conversor CC-CC não isolado Duplo Zeta Quadrático, que é um novo modelo de conversor proveniente de uma família de conversores quadráticos apresentados por Sá (2014), os quais apresentam

grande eficiência e alto ganho. O conversor Duplo Zeta Quadrático é uma nova alternativa para aplicações que demandam elevada taxa de conversão estática, pois apresenta diversas características positivas para este cenário, desta forma o estudo apresenta uma avaliação experimental dessas características, uma vez que esse modelo de conversor ainda não foi estudado na prática.

## **1.1 Objetivos**

### **1.1.1 Objetivo geral**

O intuito deste trabalho é propor um estudo sobre funcionamento prático do conversor CC-CC Duplo Zeta Quadrático. Proposto por Sá (2014) este conversor não possui estudos práticos apresentados até o momento, desta forma o objetivo geral desta pesquisa se atém em verificar e validar experimentalmente a sua funcionalidade, com o intuito de comprovar sua viabilidade para aplicações. Portanto no decorrer do trabalho também se tem como objetivo o desenvolvimento deste conversor, bem como a implementação e aplicação prática do controle de tensão do mesmo utilizando como controlador o FPGA.

### **1.1.2 Objetivos específicos**

O principal objetivo é projetar e desenvolver um protótipo do conversor Duplo Zeta Quadrático em laboratório, com o intuito de estudar e analisar seu comportamento, para se obter suas características funcionais, e principalmente dados como o rendimento do conversor.

Para que seja possível realizar a implementação do protótipo, primeiramente será necessário um estudo teórico sobre a origem e o funcionamento desta topologia, que envolve uma revisão das etapas de operação e formas de onda características deste modelo, bem como revisar todas as equações que descrevem o funcionamento do conversor. Em seguida será feita uma análise de simulação em software, a qual também se faz muito importante por fornecer informações mais próximas do funcionamento prático.

Por fim, o objetivo é implementar o sistema de controle deste conversor, utilizando o FPGA como controlador, onde serão apresentados os resultados dos testes práticos do conversor, obtidos através da sua implementação operando em malha aberta.

## 1.2 Justificativa

Atualmente a eletrônica de potência está presente nas mais diversas aplicações, é essencial nas grandes indústrias e também permite que possamos usufruir do uso da eletricidade no dia a dia, os estudos nessa área visam melhorias relacionadas a eficiência com que a energia é tratada, e assim possibilitam que essa energia chegue até nós com mais qualidade e de forma mais barata.

A difusão do conhecimento sobre os conversores de energia é extremamente importante na medida em que o avanço da tecnologia tem gerado dispositivos que dependem cada vez mais de aplicações bem específicas destes conversores. Como por exemplo, em aplicações de conversão CC-CC que requerem uma grande variação da tensão de saída em relação a tensão de entrada, as topologias convencionais devem operar com a razões cíclicas muito baixas ou muito elevadas, no caso de operar com razão cíclica próximo de zero, a frequência de chaveamento se limita a valores menores devido ao “tempo-on” mínimo da chave, e para operação com razão cíclica próximo de um, aumentam-se as perdas por condução na chave, comprometendo assim a eficiência do conversor (MOHAN et al., 2003) (LIRIO, 2013).

Este problema pode ser contornado utilizando conversores com elevada taxa de conversão em relação a razão cíclica, como por exemplos conversores quadráticos ou multiníveis, os quais permitem se obter uma ampla variação na tensão de saída, com uma pequena variação na razão cíclica (MAKSIMOVIC; CUK, 1991).

Justifica-se o objetivo de estudo deste trabalho, pelo intuito de ampliar os conhecimentos na área da eletrônica de potência sobre novas topologias de conversores estáticos, bem como novas técnicas de controle digital dedicadas a estas aplicações, para que se tornem cada vez mais eficientes e viáveis, levando em consideração aspectos construtivos que estão diretamente relacionados as melhorias voltadas para suas aplicações. Desta forma este trabalho pode de um modo geral contribuir para o avanço da tecnologia, com novas alternativas para contornar problemas relacionados a questões de sustentabilidade e eficiência energética.

## 1.3 Aplicações

Boa parte dos estudos relacionados a eletrônica de potência tem visado novas alternativas e melhorias para os conversores de energia, pois estão presentes em diversas áreas



do uso da energia elétrica. Atualmente podemos encontrar aplicações de conversores CC-CC, desde o uso doméstico como por exemplo em pequenas fontes chaveadas e “no-breaks”, até aplicações industriais em sistemas elétricos de grandes potências, como acionamento de máquinas elétricas ou sistemas alternativos para geração de energia elétrica. Em todos casos um bom rendimento é essencial, pois é o fator determinante para a viabilidade de aplicação destes conversores.

Os conversores chaveados, apresentam enormes vantagens sobre os reguladores lineares, principalmente em questão de rendimento, onde os reguladores dissipam boa parte da potência cedida pela fonte de forma inútil, contudo os conversores chaveados tem ganhado espaço onde as aplicações são mais restritivas quanto ao rendimento (MARTINS; BARBI, 2006). A seguir são citadas as principais aplicações dos conversores CC-CC de alto ganho e alto rendimento, bem como as características de cada um destes sistemas que tornam viáveis a aplicação destes conversores:

- **Energia Fotovoltaica:** Segundo SÁ (2014) para se obter uma tensão elevada na saída de painéis fotovoltaicos, é preciso realizar associação em série desses painéis. Entretanto, essa associação diminui a possibilidade de os painéis serem controlados para operar no ponto de máxima potência, e podem gerar ineficiência caso haja deficiência em um dos dispositivos em série. Ou seja, quanto menor a associação em série, maior é a eficiência do sistema para este caso. Outra desvantagem da conexão em série é a alta corrente devido à baixa tensão. Esse problema pode ser contornado se amplificarmos a tensão de saída para diminuir as perdas, assim o projetista pode arranjar os painéis de forma a gerar maior eficiência sem se preocupar com a tensão de saída.
- **Células a Combustível:** Na teoria uma célula a combustível pode disponibilizar aproximadamente um volt entre seus terminais. Todavia, na prática este valor é bem inferior, apresentando ainda um rápido decréscimo com o aumento da corrente drenada. A associação de diversas células em série resulta em um valor de tensão de saída elevado. Entretanto, quanto maior a potência na saída da associação em série, menor é a tensão de saída. Essa característica mostra que é necessário um estágio elevador de tensão, e controle de potência onde a máxima potência consiga ser associada com uma tensão elevada de saída (SÁ, 2014).
- **Veículos Elétricos ou Híbridos:** Atualmente, os carros híbridos que eram

considerados apenas uma possibilidade remota, estão sendo fortemente estudados em núcleos de pesquisa e já estão sendo comercializados no mercado automotivo. O conceito de veículo elétrico é descrito por um veículo que se move por meio de um ou mais motores elétricos. Exemplos de veículos elétricos são carros, trens, caminhões, barcos, aviões, entre outros. Esse tipo de veículo possui a vantagem de consumir energia elétrica primária gerada por uma grande variedade de fontes renováveis, e não apenas de combustíveis fósseis. A alimentação desses veículos pode ser feita por baterias, painéis solares ou mesmo por condutores específicos posicionados na rota deste veículo, como no caso de trens, metros e ônibus elétricos urbanos. O emprego de conversores CC-CC é amplamente utilizado nesses veículos, pois na maioria dos casos emprega-se baterias para alimentação do sistema (SÁ, 2014).

- **UPS:** Fonte ininterrupta de energia, popularmente conhecida como nobreak. Seu funcionamento consiste basicamente em um equipamento elétrico que tem como objetivo principal suprir instantaneamente, ou quase instantaneamente, uma carga crítica, em caso de queda inesperada de energia. No momento que ocorre a falta, o nobreak assume a alimentação da carga através de uma bateria ou um banco de baterias. Os nobreaks representam um ramo promissor de aplicação de conversores CC-CC, com a possibilidade da criação de uma nova tecnologia ou da adaptação de uma das existentes (SÁ, 2014).

#### **1.4 Metodologia**

A metodologia adotada para o desenvolvimento deste trabalho é uma revisão bibliográfica, seguida de um estudo teórico e prático aplicado ao objeto de estudo deste trabalho. A pesquisa é baseada em alguns livros, teses, dissertações e artigos científicos disponibilizados pela base de dados da IEEE.

Inicialmente é desenvolvida uma breve revisão bibliográfica que envolve alguns modelos de conversores existentes na literatura atual, e conceitos básicos que estão relacionados a nova topologia estudada neste trabalho. Os seguintes passos consistem em um estudo teórico do conversor Duplo Zeta Quadrático que envolve uma análise matemática das equações

referentes a este modelo e simulação em software para dar consistência ao estudo teórico, e desta forma facilitar a compreensão do seu funcionamento.

Considerando os estudos teóricos, as etapas finais do presente trabalho estão voltadas ao estudo prático do conversor, onde será desenvolvido um protótipo do mesmo que será testado em malha aberta, tendo como base os resultados das análises e simulações. Por fim serão analisados os resultados provenientes dos testes experimentais, desta forma concluindo um estudo mais aprofundado sobre a topologia escolhida.

## 2. REVISÃO BIBLIOGRÁFICA

### 2.1 Introdução

Atualmente existem diversos modelos de conversores CC-CC, porém seis são mais conhecidos e populares, conhecidos como: conversor Búk, Boost, Buck-Boost, Cúk, Sepic e Zeta (MARTINS; BARBI, 2006). Estes modelos de conversores, por sua simplicidade e popularidade, deram origem a estudos de novas topologias, criadas com base nos mesmos. Alguns estudos propõem melhorias e mudanças para adaptar o funcionamento dos conversores às necessidades dos mais diversos tipos de aplicações, como por exemplo os estudos de (ERICKSON; MAKSIMOVIC, 2007) e (MOHAN; UNDELAND; ROBBINS, 2003). Esses estudos exploram novas topologias para aplicações que necessitam de elevada taxa de conversão estática, uma vez que os conversores básicos não possuem tal característica.

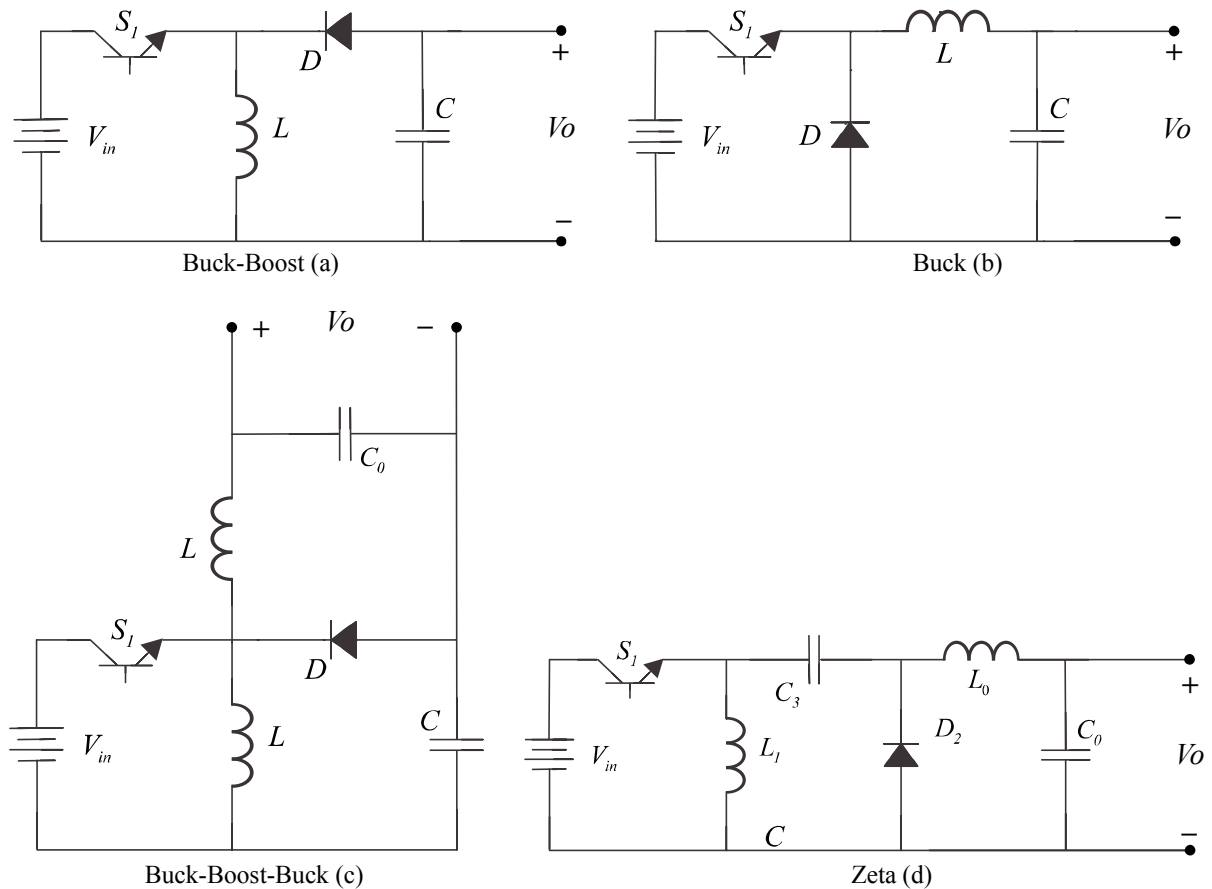
A topologia escolhida como objeto de estudo deste trabalho é nova, e tem como característica uma elevada taxa de conversão estática, porém atualmente existem poucos estudos relacionados a mesma na literatura, desta forma os estudos apresentados neste trabalho se baseiam principalmente na tese de (SÁ, 2014). Neste capítulo é apresentada uma breve revisão bibliográfica, que tem como objetivo situar na literatura atual o conversor que será abordado, facilitando o entendimento da origem deste novo modelo e sua proposta frente as aplicações.

### 2.2 Conversor Zeta básico não isolado

Segundo Martins e Barbi (2006), o conversor Zeta é uma estrutura de quarta ordem, e pode ser visto como um conversor Buck-Boost-Buck, pois tem sua topologia baseada em outros dois conversores, que são o Buck-Boost apresentado na Figura 1(a) e o Buck mostrado na Figura 1(b). Conforme podemos observar na Figura 1(c) ao ser colocado em um conversor Buck-Boost o conversor Buck como carga, chega-se a uma nova estrutura. Segundo os autores para que o Buck possa ser colocado como carga, deve-se considerar na Figura 1(b) que  $V_o = V_{in}$ , e que a chave  $S_1$  está sempre conduzindo, observamos também que a colocação de carga sobre o diodo  $D$  na Figura 1(c) é correta pois a tensão média neste diodo é igual a tensão média de saída. Assim reorganizando a estrutura formada a partir destes dois conversores chegamos ao

conversor Zeta básico, apresentado na Figura 1(d).

Figura 1 – Origem do conversor Zeta



Fonte: Autoria própria (2019).

O conversor Zeta é um modelo de conversor CC-CC básico não isolado, tem como principal característica seu funcionamento como conversor abaixador ou elevador de tensão, esta característica pode ser considerada como vantagem para algumas aplicações que exijam do conversor relações de tensão de saída maiores ou menores que a tensão de entrada. Este modelo de conversor está presente em muitos estudos relacionados a eletrônica de potência, por ser bastante difundido e versátil, serve como referência para dar origem a novas topologias, bem como novas formas de aplicação.

Além de apresentar bons resultados para aplicações como conversor CC-CC, como por exemplo em fontes chaveadas e arranjos fotovoltaicos, alguns estudos mostram o conversor Zeta apresentando um bom desempenho sendo empregado como PFC (Power Factor Correction)(JHA; SINGH, 2017). Outro ponto que o torna interessante é que seu ganho estático independe do valor da carga operando em modo de condução contínua (MCC). Pode-se destacar também como uma característica positiva, a existência de um filtro de 2ª ordem em sua saída,

constituído de um indutor e um capacitor, o que resulta em uma boa qualidade na tensão de saída deste modelo de conversor.

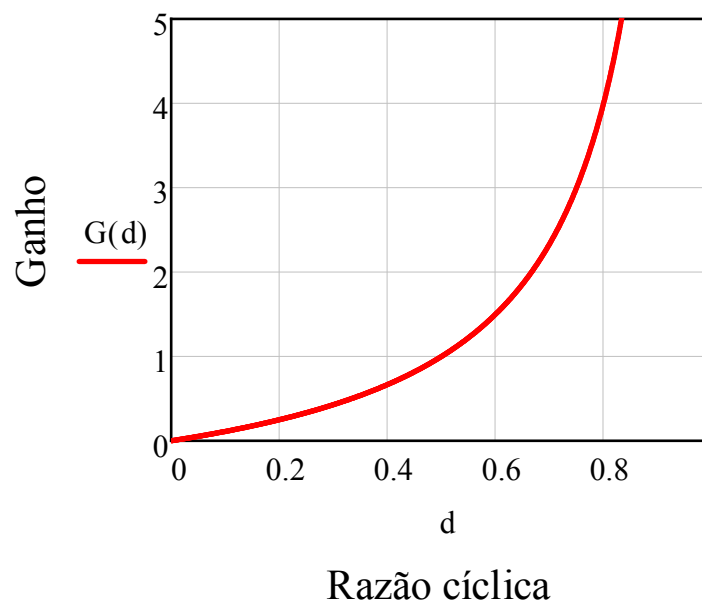
O ganho estático do conversor que relaciona a tensão de saída  $V_o$  pela tensão de entrada  $V_{in}$ , em função da razão cíclica  $D$  é dado pela Equação 2.1 (MARTINS; BARBI, 2006). Sendo  $D$  o parâmetro de controle do ganho estático do conversor, que define a largura do PWM, assumindo valores entre 0 e 1.

$$G = \frac{V_o}{V_{in}} = \frac{D}{(1-D)} \quad (2.1)$$

Para aplicações que necessitam de taxas de conversão mais elevadas, o uso dos conversores convencionais podem se tornar inviáveis, pois como podemos observar segundo a Figura 2, que representa o ganho estático do conversor Zeta, operando como elevador de tensão este conversor passa a ter um ganho significativo a partir de  $D=0.6$ , porém nestas condições de operação o rendimento pode ser comprometido, uma vez operando com razão cíclica a um, estes conversores passam a apresentas um baixo fator de utilização (MOHAN; UNDELAND; ROBBINS, 2003).

Desta forma, em determinadas aplicações se deve recorrer a estruturas multiníveis ou quadráticas, que apresentam elevadas taxas de conversão.

Figura 2 – Curva de ganho estático ideal do conversor Zeta

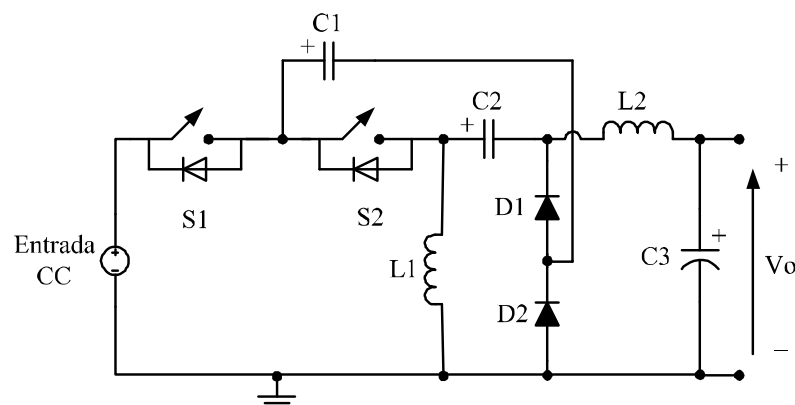


### 2.3 Conversor Zeta Multinível

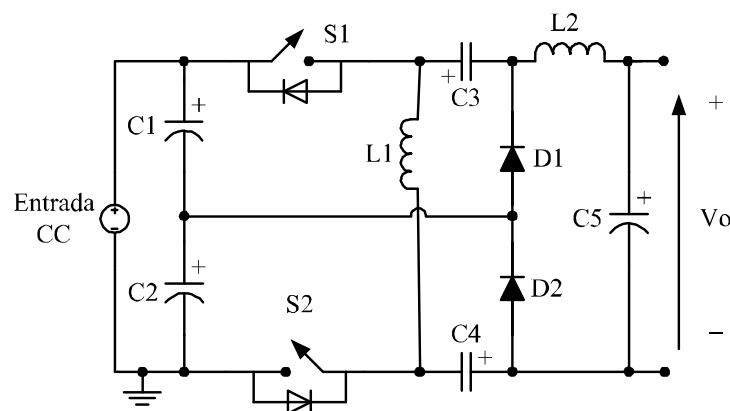
Os conversores multiníveis são bastante conhecidos e difundidos na área da eletrônica de potência, por apresentarem características positivas para determinadas aplicações, atualmente encontram-se disponíveis na literatura diversos estudos de conversores baseados em topologias multiníveis. Ruan et al. (2008) apresentam uma família de conversores e suas variações multiníveis, onde destacam algumas vantagens frente os conversores convencionais como redução de esforços de tensão nos interruptores, tamanho do filtro reduzido e uma resposta dinâmica aprimorada.

Baseando-se no conversor Zeta em sua configuração clássica, podem ser obtidas novas topologias com diferentes características, como mostra a Figura 3 a seguir, pode-se observar duas topologias multiníveis distintas derivadas do conversor Zeta básico não isolado (PADILHA, 2011)(RUAN et al., 2008).

Figura 3 – Conversores Zeta Multiníveis



a) Topologia 1



b) Topologia 2

Fonte: PADILHA (2011).

Como pode-se observar na Figura 3-a, a topologia 1 apresenta um circuito mais simplificado e possui o referencial de entrada e saída em um ponto comum, diferentemente da topologia 2 apresentada na Figura 3-b. Em ambos modelos é possível verificar que as topologias herdam uma característica do conversor *Zeta* convencional Figura 1-d, que é o filtro de 2ª ordem em sua saída, o que como citado no primeiro capítulo contribui para uma melhora significativa na tensão de saída.

As duas variações do conversor *Zeta* apresentadas na figura acima possuem dois interruptores em série, esta característica comum entre os conversores multiníveis resulta na divisão de esforços de tensão sobre os interruptores, desta forma o carregamento do indutor se dá somente no momento em que há o acionamento simultâneo das chaves S1 e S2, assim a divisão de tensão entre os dispositivos é feita de um controle apropriado do ciclo de trabalho de cada chave. Nestes conversores é possível se anular a tensão de saída mediante o controle dos interruptores, sob a desvantagem de resultar em uma descontinuidade na corrente de saída. Para se garantir a divisão de tensão entre os elementos deverão ser controladas as tensões nos capacitores  $C_1$  e  $C_2$ , bem como a tensão de saída  $V_0$  em ambos os conversores (PADILHA, 2011).

Segundo Padilha (2011) a topologia 2 mostrada na Figura 3-b, apresenta certas dificuldades em seu controle, uma vez que há a necessidade de se equilibrar as tensões nos capacitores  $C_1$  e  $C_2$ , além de o fato de ser composta por um número maior de componentes o que resulta em uma redução no rendimento do conversor, bem como o aumento em parâmetros críticos como custo e volume. Por fim o fato de não possuir o referencial entre a entrada e a saída em um ponto comum, inviabiliza uma possível associação com outras topologias.

O ganho estático destes dois modelos é exatamente igual ao ganho do conversor *Zeta* convencional, representado pela equação 2.1. Sendo assim estas topologias diferenciam-se principalmente pela redução dos esforços de tensão nas chaves, onde a tensão nos interruptores é representada pelas equações a seguir (RUAN; WEI; XUE, 2003).

$$V_{s1} = (V_{in} + V_0) / 2 \quad (2.2)$$

$$V_{s2} = (V_{in} + V_0) / 2 \quad (2.3)$$



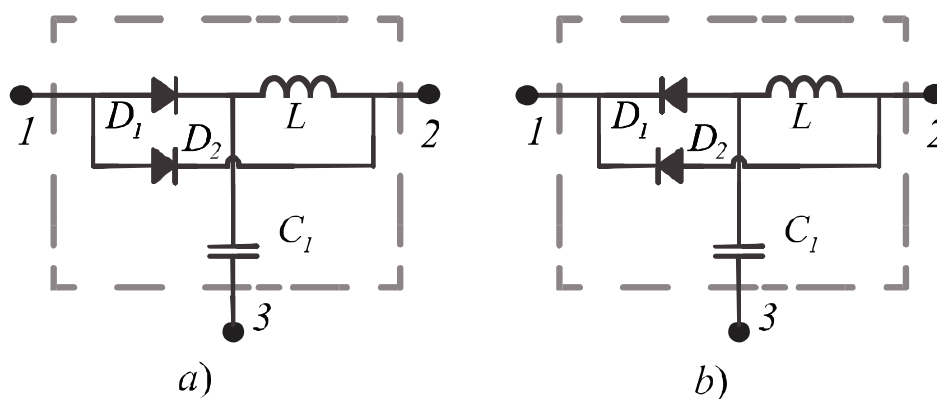
## 2.4 Célula básica de comutação

Ao iniciar os estudos sobre conversores CC-CC com elevada taxa de conversão percebe-se que esta característica é obtida através de técnicas de manipulação de circuitos, como o uso de células de ganho. Atualmente encontra-se na literatura algumas variações do conversor Boost utilizando uma célula de ganho com indutor acoplado, como por exemplo o conversor proposto por Tseng e Liang (2004), hoje popularmente conhecido como Boost-Flyback. Posteriormente foram estudadas outras diversas variações de células de ganho, que apresentam a adição de capacitores, indutores e diodos dispostos de várias maneiras a fim de se obter diferentes ganhos, e desta forma ampliar suas possibilidades de aplicação (SCHMITZ, 2015).

Na literatura pode-se encontrar também diversos estudos que envolvem células de ganho que não utilizam indutores acoplados. Maksimovick e Cuk (1989) apresentam uma célula de comutação de conversores quadráticos, neste estudo podemos observar também a possibilidade de criação de novas topologias com elevada taxa de conversão estática, garantida a partir da implementação desta célula. Posteriormente os mesmos autores prosseguem os estudos e apresentam uma análise do conversor em modo de condução contínua e descontínua, validando assim o aumento na taxa de conversão estática proveniente do uso da célula de comutação (MAKSIMOVIC; CUK, 1991).

Para uma melhor compreensão da topologia estudada neste trabalho, deve-se primeiramente entender a célula básica de comutação, apresentada na Figura 4, a qual originou a família de conversores apresentados por Sá (2014), dentre os quais se encontra o conversor Duplo Zeta Quadrático.

Figura 4 – Célula de comutação



Fonte: SÁ (2014)

Esta célula, também chamada de célula de ganho, é responsável por garantir o ganho quadrático do conversor, e é constituída por um indutor, um capacitor e dois diodos. Possui três terminais, onde o sentido da corrente entre os terminais 1 (um) e 2 (dois) depende da disposição dos diodos D1 e D2, que podem mudar de sentido conforme a topologia onde ela será empregada. Possui como característica o comportamento de fonte de tensão entre os terminais 1 (um) e 3 (três), e de fonte de corrente entre os terminais 3 (três) e 2 (dois). Esta célula apresenta como vantagem a não necessidade de comando nos semicondutores pois são utilizados apenas diodos, sendo também de fácil construção (SÁ, 2014).

### 3. CONVERSOR CC-CC DUPLO ZETA QUADRÁTICO

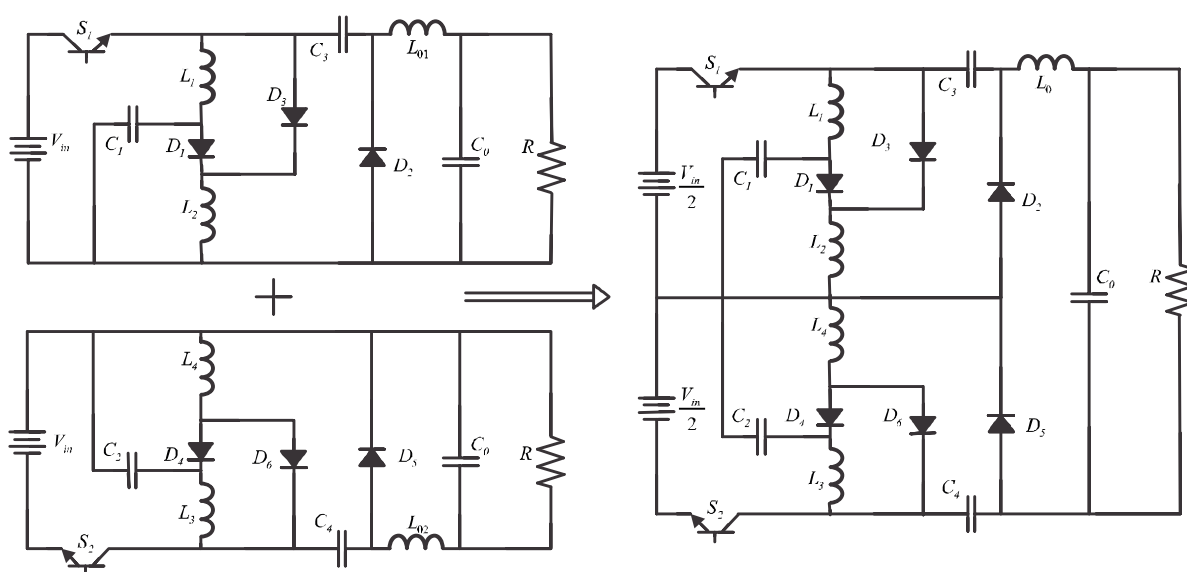
#### 3.1 Introdução

Este capítulo apresenta o conversor escolhido como tema de estudo deste trabalho, e tem como objetivo abordar sua origem e princípio de funcionamento. Para chegar a um estudo mais aprofundado desta nova topologia colocando-a em prática, se faz necessário uma revisão teórica completa da mesma, portanto foi realizada uma análise do conversor operando em modo de condução contínua, em seguida foram revisadas as equações que descrevem o funcionamento do circuito. Por fim é feita uma simulação em software, onde os principais dados de operação são obtidos e comparados para a comprovação do estudo teórico

#### 3.2 Princípio de funcionamento

O conversor a estudado tem sua origem baseada no conversor CC-CC Zeta básico não isolado, o qual passa a ter um ganho quadrático após a implementação da célula de comutação em seu circuito, e é chamado de Zeta Quadrático. Na Figura 5 podemos observar que dois conversores Zeta Quadrático refletidos e associados em paralelo resultam na nova topologia de conversor chamada de Duplo Zeta Quadrático.

Figura 5 – Origem conversor Duplo Zeta Quadrático



Fonte: SÁ (2014)

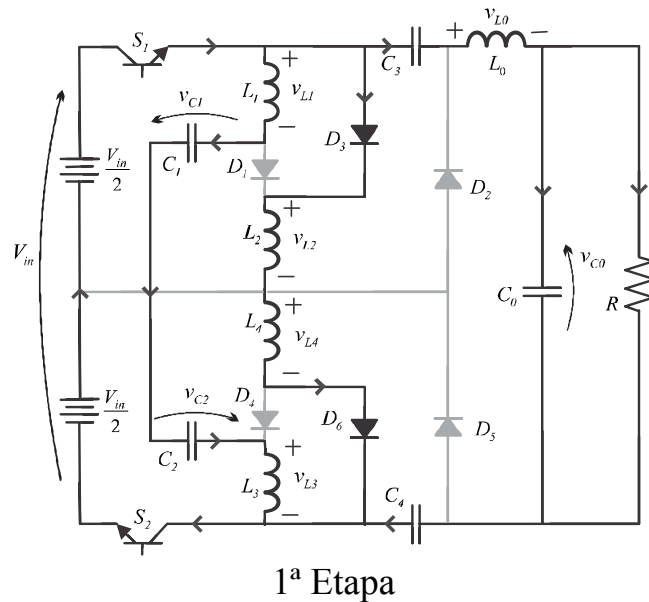
Este novo modelo de conversor mantém como característica o ganho quadrático, que o torna viável em aplicações que requerem uma grande taxa de conversão entre tensão de entrada e de saída, relacionado a razão cíclica, porém por ser um conversor não isolado, deve ser empregado somente onde não haja necessidade de isolamento entre a fonte e a carga. O circuito é composto por oito semicondutores, sendo duas chaves e quatro diodos, seis indutores e quatro capacitores. Apesar de possuir um grande número de componentes se comparado a topologias convencionais, traz como vantagem a tensão de entrada dividida pela metade, que faz com que os esforços de tensão e corrente nos interruptores também sejam divididos, tornando esta topologia interessante para aplicações com potências maiores. (SÁ, 2014)

### **3.2.1 Análise de operação em modo de condução contínua**

Para esclarecer o funcionamento desta nova topologia, é necessário fazer uma análise das suas etapas de operação, onde são definidos como se comportarão cada componente no circuito. A análise de operação também tem como objetivo definir suas respectivas formas de onda relacionadas a cada componente do circuito. Estas informações também são importantes, pois através delas podemos posteriormente desenvolver as equações características deste conversor, e por fim chegar a equação final que descreve o seu ganho estático.

Sabendo-se que o comando dos interruptores é único, este conversor apresenta duas etapas de operação no modo de condução contínua (MCC), que são apresentadas respectivamente na Figura 6 e Figura 7. A simetria deste conversor permite simplificar a análise, dividindo a tensão total de entrada  $V_{in}$  pela metade, usando então  $V_{in} / 2$ .

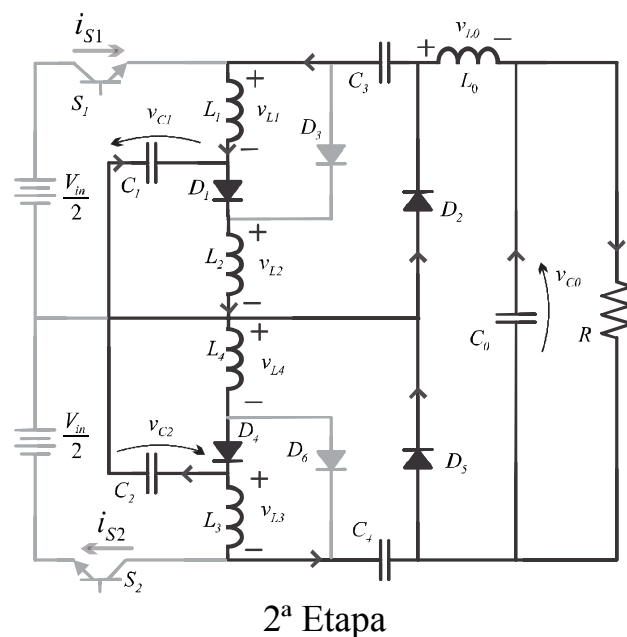
Figura 6 – Primeira etapa de operação



Fonte: SÁ (2014)

Como pode ser observado na Figura 6, representando a primeira etapa de operação,  $S_1$  e  $S_2$  permanecem fechados e os diodos  $D_3$  e  $D_6$  estão conduzindo. Os diodos  $D_1$ ,  $D_2$ ,  $D_4$  e  $D_5$  estão inversamente polarizados, a energia do barramento de entrada é armazenada nos indutores  $L_1$  e  $L_2$ , e a corrente  $I_{S1}$  é igual a soma das correntes  $I_{L1}$  e  $I_{L2}$ . As correntes  $I_{D1}$  e  $I_{D2}$  são nulas.

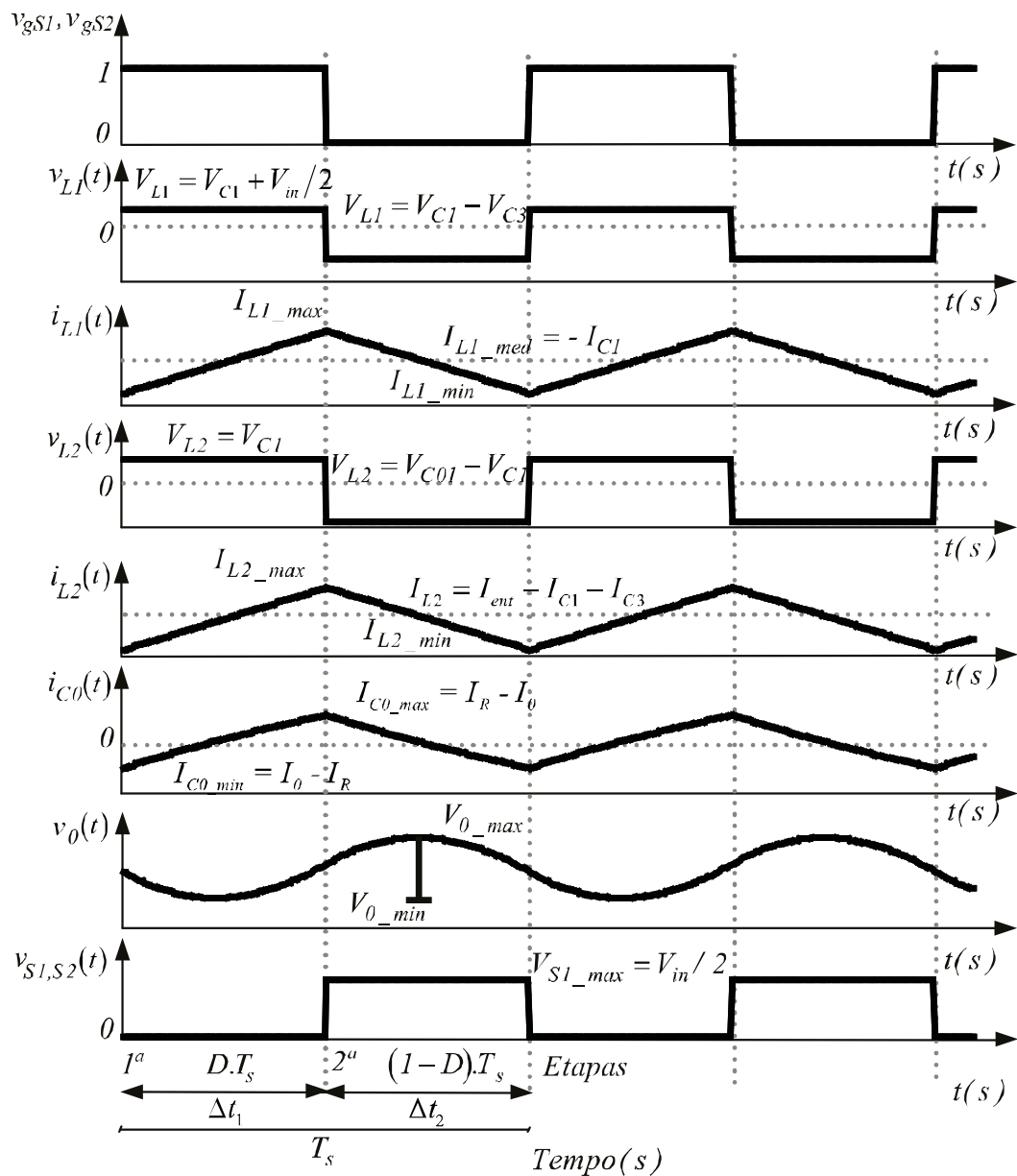
Figura 7 – Segunda etapa de operação



Fonte: SÁ (2014)

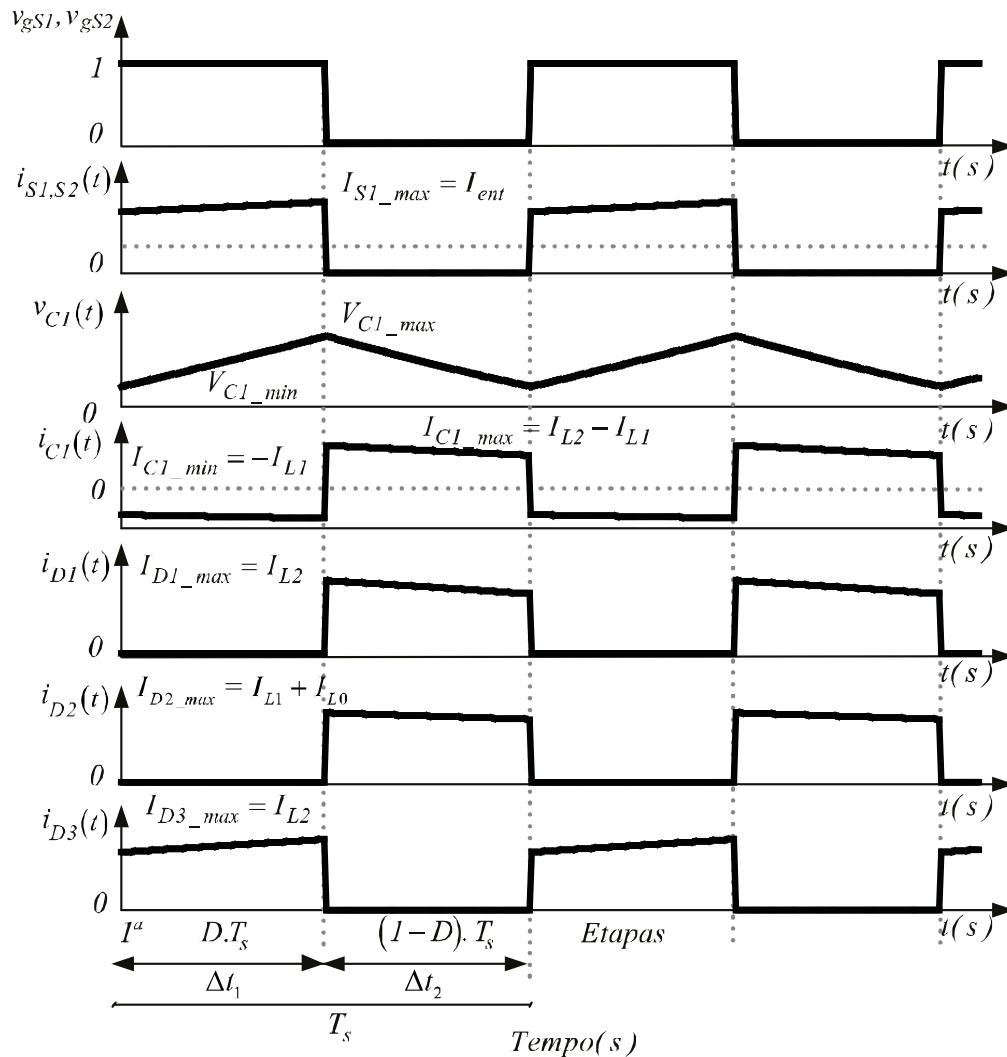
Na segunda etapa os interruptores  $S1$  e  $S2$  estão abertos e os diodos  $D3$  e  $D6$  estão inversamente polarizados. Os diodos  $D1$ ,  $D2$ ,  $D4$  e  $D5$  entram em condução, permitindo com que a energia armazenada nos indutores  $L1$  e  $L2$  seja transferida para os capacitores intermediários também para a saída. Nesta etapa a corrente nos semicondutores  $i_{S1}$ ,  $i_{S2}$ ,  $i_{D3}$  e  $i_{D6}$  são nulas, e as correntes em  $D1$ ,  $D2$ ,  $D4$  e  $D5$  assumem os valores das correntes dos indutores,  $i_{D1} = i_{L2}$ ,  $i_{D2} = i_{L1} + i_{L0}$ ,  $i_{D4} = i_{L4}$ ,  $i_{D5} = i_{L1} + i_{L0}$ , respectivamente (SÁ, 2014).

Figura 8 – Formas de onda do conversor Duplo Zeta Quadrático



a)

Fonte: SÁ (2014)



b)

Fonte: SÁ (2014)

### 3.2.2 Equações características

De acordo com a análise das etapas de operação descritas no item anterior, apresentadas na Figura 6 e Figura 7, dada a característica simétrica desta topologia, podemos isolar o circuito correspondente em partes e assim desenvolver as equações relacionadas a cada período de operação, para isso iremos analisar o circuito conversor de forma isolada, dividindo-o em dois circuitos, fazendo  $V_{in}/2$  e  $V_{C1}$  correspondentes as fontes de tensão de entrada do 1º e 2º circuito. Os indutores  $L_1$  e  $L_2$  trabalham como fontes de corrente dos circuitos 1 e 2 respectivamente.

**1° Circuito de entrada:** Analisando o primeiro circuito considera-se  $V_{in} / 2$  para tensão de entrada, e o indutor  $L_2$  como fonte de corrente de carga. Desta forma toda a energia fornecida pela fonte  $E_{Vin}$ , e a energia recebida pelo capacitor intermediário  $E_{VC1}$  em um período de operação, são representadas a seguir pelas equações 3.1 e 3.2 respectivamente.

$$E_{Vin} = \frac{V_{in}}{2} \cdot I_{L2} \cdot \Delta t \quad (3.1)$$

$$E_{VC1} = -V_{C1} \cdot I_{L2} \cdot \Delta t_2 \quad (3.2)$$

Considerando o conversor como um sistema ideal, ou seja, sem perdas, em um ciclo de operação toda energia aplicada pela fonte  $E_{in}$  é recebida pelo capacitor intermediário  $E_{C1}$ . Desta forma igualando-se as equações 3.1 e 3.2, chegamos a equação 3.3 que representa a primeira parte da equação do ganho estático do conversor Duplo Zeta Quadrático, onde  $\Delta t_1 = D$ , ou seja, igual ao “tempo-on” da chave em um período, definido pela razão cíclica, e  $\Delta t_2 = 1 - D$ , referente a parte do período em que a chave permanece desligada.

$$\frac{V_{C1}}{V_{in} / 2} = \frac{D}{1 - D} \quad (3.3)$$

**2° Circuito de saída:** Para prosseguir com a análise do segundo circuito, considera-se agora que a tensão no capacitor intermediário  $V_{C1}$ , a tensão da fonte de entrada e a corrente no indutor  $L_1$  são uma fonte de corrente de carga.

Sendo assim, a energia fornecida pela fonte  $E_{VC1}$ , em um período de operação é representada pela equação 3.4 a seguir.

$$E_{VC1} = (V_{C1} + V_{in} / 2) \cdot I_{L1} \cdot \Delta t_1 \quad (3.4)$$

Desta forma, a energia armazenada pelo capacitor  $C_3$  chamada de  $E_{VC3}$  em um período de operação, é dada por:



$$E_{VC3} = (-V_{L2} - V_{C3}).I_{L1}.\Delta t_2 \quad (3.5)$$

Considerando-se a segunda parte do circuito do conversor, um sistema ideal sem perdas, para um ciclo de operação, toda a energia fornecida pelo capacitor intermediário  $E_{C1}$  é recebida pelo capacitor  $C_3$ , chamada de  $E_{C3}$ . Considerando as equações da primeira e segunda etapa de operação para o circuito de saída do conversor, utilizando o teorema do balanço volt segundo para o indutor  $L_1$  onde  $V_{L1med} = 0$ , obtém-se a equação 3.6.

$$(V_{in} / 2 + V_{C1}).D + (-V_{L2} - V_{C3}).(1 - D) = 0 \quad (3.6)$$

Substituindo a equação 3.3 na equação 3.6 e sabendo que  $V_{L2} = -V_{C1}$ , obtém-se a equação que representa o ganho ideal do segundo circuito do conversor em função da tensão do capacitor  $C_3$ , ou seja  $V_{C3}$  pela tensão de entrada  $V_{in} / 2$ :

$$\frac{V_{C3}}{V_{in} / 2} = \frac{D}{1 - D} + \frac{D}{(1 - D)^2} \quad (3.7)$$

Prosseguindo com a análise da segunda parte do conversor, ainda se considerando que  $C_3$  comporta-se como uma fonte de tensão de entrada e que o indutor  $L_0$  trabalha como uma fonte de corrente de carga. Sendo assim a energia fornecida pela fonte  $E_{VC3}$ , na 1ª etapa de operação é dada por:

$$E_{VC3} = V_{in} / 2 + V_{C3} - V_0 / 2 \quad (3.8)$$

Portanto, a energia recebida pelo capacitor  $C_0$  chamada de  $E_{VC0}$ , na segunda etapa de operação é determinada por:

$$E_{VC0} = -V_0 / 2 \quad (3.9)$$

Novamente considerando a segunda parte do conversor um sistema ideal, conclui-se que toda a energia fornecida pelo capacitor intermediário  $E_{C3}$  é armazenada pelo capacitor  $C_0$ , e chamada de  $E_{C0}$ .

Considerando as equações da 1ª e 2ª etapa de operação para o circuito de saída do

conversor, utilizando o teorema do balanço volt segundo para o indutor  $L_0$ , onde  $V_{L_0med} = 0$ , chega-se a equação 3.10 a seguir.

$$(V_{in} / 2 + V_{C3} - V_0 / 2) \cdot D + (-V_0 / 2) \cdot (1 - D) = 0 \quad (3.10)$$

Substituindo as equações 3.3 e 3.7 na equação 3.10, obtém-se a equação que representa o ganho estático ideal total do conversor Duplo Zeta Quadrático, em função da tensão de saída que é a tensão no capacitor  $C_0$ ,  $V_{C0}$  pela tensão total de entrada  $V_{in}$ :

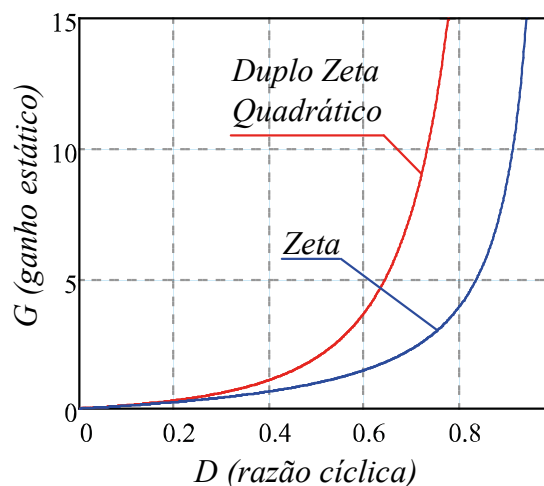
$$\frac{V_0}{V_{in}} = D + \left[ \frac{D^2}{(1-D)} + \frac{D^2}{(1-D)^2} \right] \quad (3.11)$$

Reorganizando a equação 3.11, obtém-se a equação final 3.12, reescrita de forma mais compacta:

$$\frac{V_0}{V_{in}} = \frac{D}{(1-D)^2} \quad (3.12)$$

A Figura 9 a seguir apresenta uma comparação entre a taxa de conversão do conversor Duplo Zeta Quadrático e do conversor Zeta básico. Este gráfico foi gerado no software Mathcad, implementando as equações 2.1 e 3.12 que determinam o ganho dos dois conversores. As curvas representam o ganho estático ideal ( $G$ ), em função da razão cíclica ( $D$ ).

Figura 9 – Comparação da curva de ganho estático



Fonte: A autoria própria (2019).

Como se pode observar, a curva do conversor quadrático apresenta um elevado ganho a partir de  $D=0,6$ . O que não acontece na segunda curva, onde o conversor Zeta convencional passa a ter um ganho consideravelmente elevado somente com razões cíclicas próximas de um, ou seja  $D \geq 0,9$ , o que como já mencionado na introdução deste trabalho, não é recomendado pois operando nessa faixa as perdas por condução podem comprometer o fator de utilização do conversor.(MOHAN; UNDELAND; ROBBINS, 2003).

### 3.3 Simulação do conversor em malha aberta

A simulação via software é muito importante em um estudo mais aprofundado, bem como para desenvolvimento de projetos, pois permite que se possa ter uma percepção de funcionamento bastante próxima da operação real. Através da simulação são obtidas todas as formas de onda características do conversor, valores de tensão e corrente nos principais componentes.

Nesse item serão apresentados os resultados de simulação do conversor Duplo Zeta Quadrático operando no modo de condução contínua. A simulação foi realizada através do software PSIM, o qual dispõe de diversas ferramentas que auxiliam e facilitam a simulação de circuitos eletrônicos, este software foi escolhido por sua praticidade e principalmente pela fidelidade nas simulações onde apresenta resultados bem aproximados do que se tem na prática.

A Tabela 1 a seguir apresenta os parâmetros utilizados para a simulação, determinados através do projeto do conversor que se encontra no apêndice B, os mesmos parâmetros são utilizados para a construção do protótipo no próximo capítulo.

Tabela 1 – Parâmetros utilizados para o conversor Duplo Zeta Quadrático

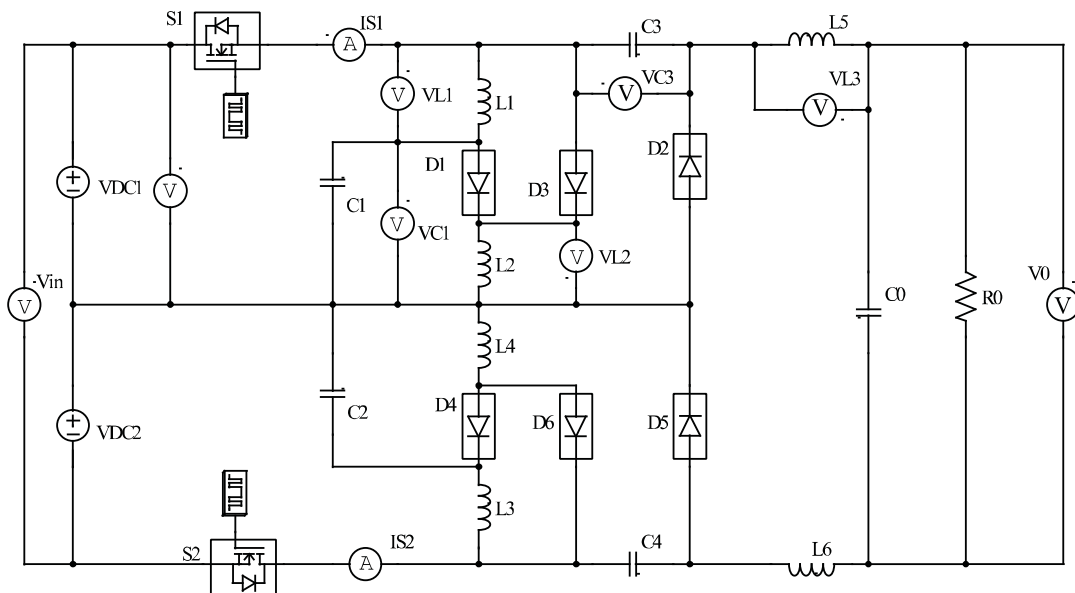
<b>Descrição</b>	<b>Atribuição</b>
Tensão de entrada total	$V_{in} = 100 V$
Tensão de entrada	$V_i = 50 V$
Corrente de saída	$I_o = 2,5 A$
Tensão de saída	$V_o = 200 V$
Potência de saída	$P_o = 500 W$

Resistência da carga	$R_0 = 80 \Omega$
Indutores de entrada	$L_1, L_3 = 4 \text{ mH}$
Indutores de entrada	$L_2, L_4 = 1 \text{ mH}$
Indutores de saída	$L_5, L_6 = 4 \text{ mH}$
Capacitores intermediários	$C_1, C_2 = 22,73 \mu\text{F}$
Capacitores intermediários	$C_3, C_4 = 6,66 \mu\text{F}$
Capacitor de saída	$C_0 = 1,25 \mu\text{F}$
Frequência de chaveamento	$f_s = 50 \text{ kHz}$
Razão cíclica dos interruptores	$D = 0,5$

Fonte: Autoria própria (2019).

Na Figura 10 está o esquemático do conversor desenvolvido no PSIM, nele estão dispostos os componentes que compõe o circuito de potência, bem como os dispositivos de medição necessários para a análise de cada componente.

Figura 10 – Esquemático do conversor Duplo Zeta Quadrático para simulação.

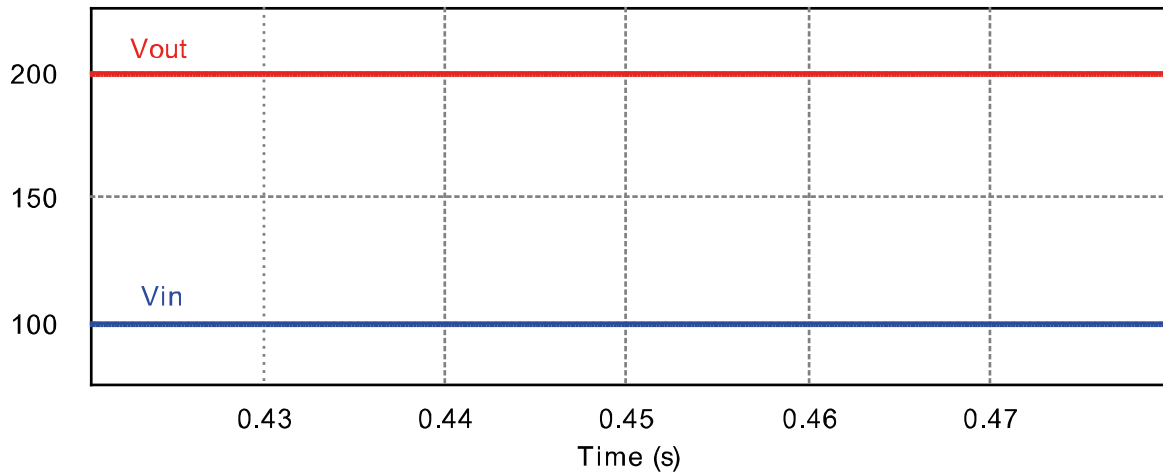


Fonte: Autoria própria (2019).

Comparando as tensões de entrada e de saída do conversor Duplo Zeta Quadrático obtidas através da simulação, pode-se observar que o ganho de tensão do conversor em relação a entrada obedece a equação 3.12 conforme a razão cíclica utilizada. O resultado desta

comparação é apresentado a seguir na Figura 11.

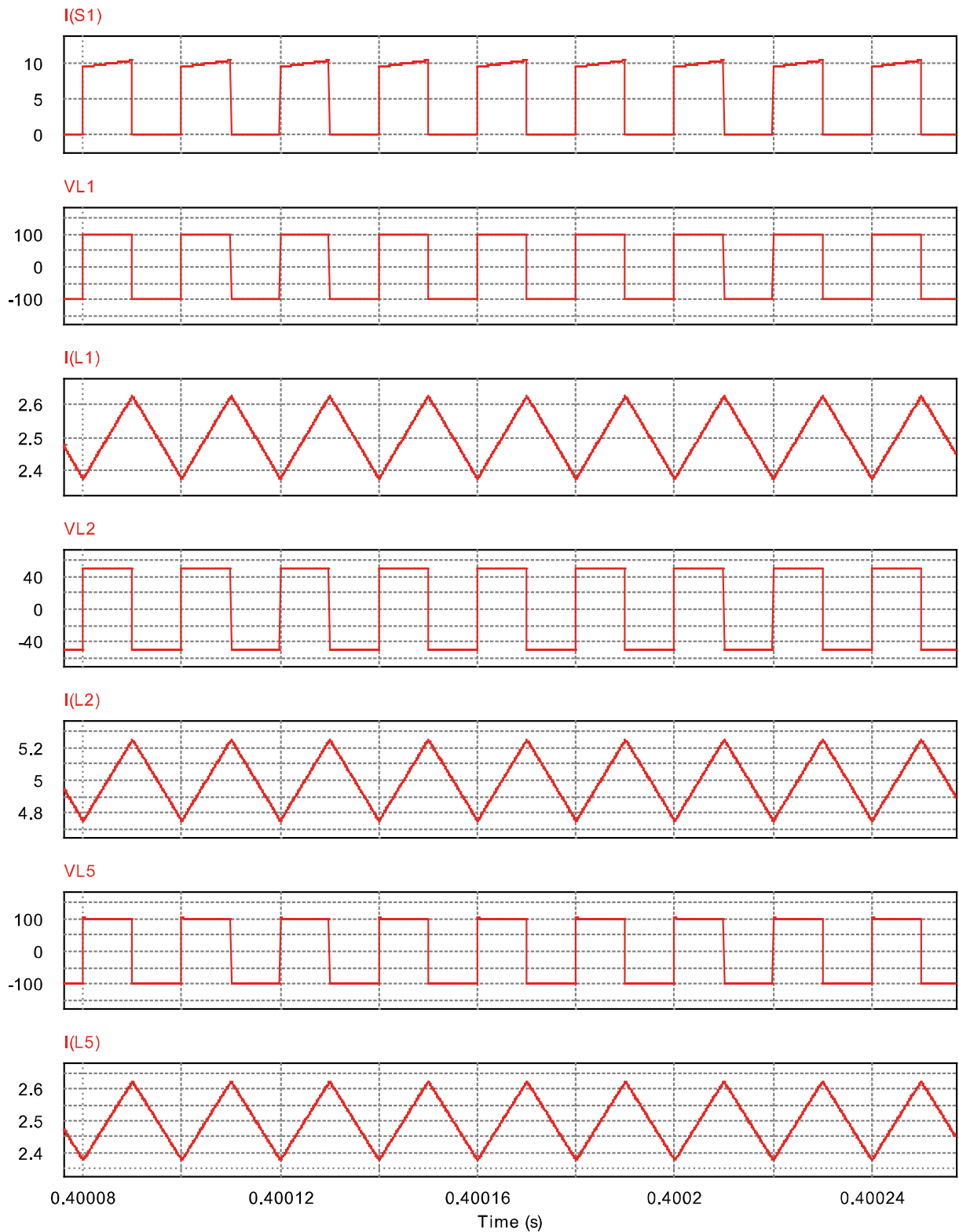
Figura 11 – Tensão de entrada e de saída obtida na simulação do conversor



Fonte: Autoria própria (2019).

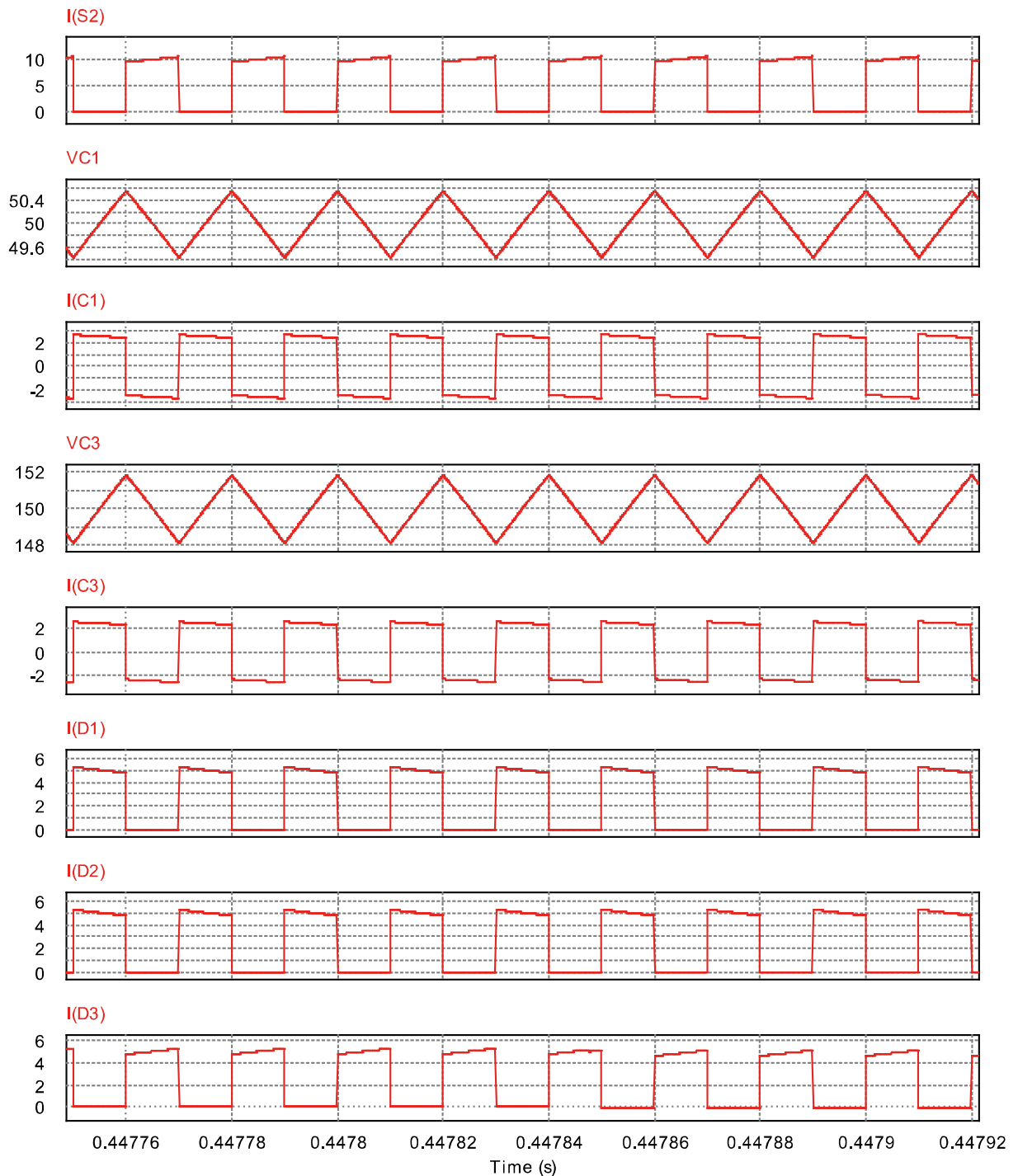
Da mesma forma como na análise das etapas de operação, na simulação são analisados apenas os componentes referentes a metade do circuito. A Figura 12 e a Figura 13 a seguir, apresentam as principais formas de onda obtidas via simulação, esses dados são muito importantes pois possibilitam uma análise comparativa com as etapas de operação já estudadas.

Figura 12 – Principais formas de onda obtidas na simulação, parte a.



Fonte: Autoria própria (2019).

Figura 13 – Principais formas de onda obtidas na simulação, parte b.



Fonte: Autoria própria (2019).

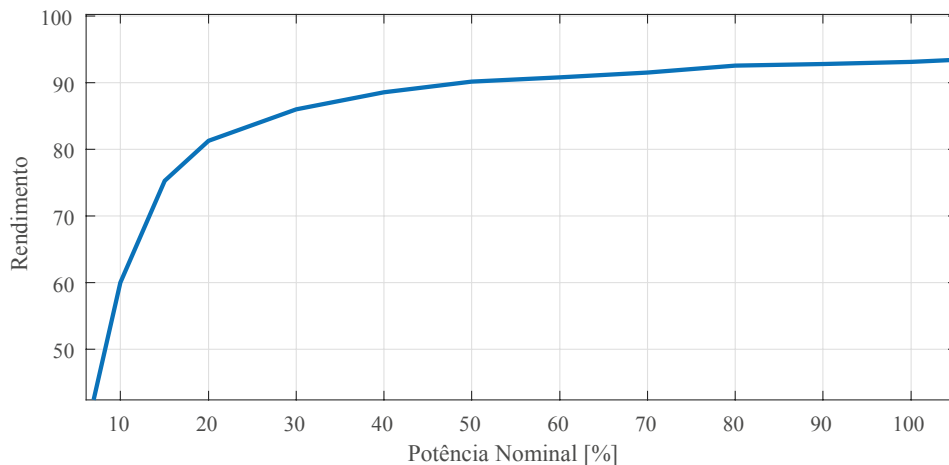
### 3.3.1 Simulação de rendimento

O rendimento de um conversor é um fator extremamente importante, pois na maioria dos projetos e aplicações onde se busca cada vez mais eficiência, as perdas significam prejuízo a longo prazo e podem inviabilizar a aplicação de um conversor. Para chegar a resultados mais

detalhados como o rendimento através da simulação, foi utilizada a ferramenta *Thermal Module* disponibilizada pelo PSIM, que permite com que software também simule as perdas nos componentes ativos como chaves e diodos. As especificações técnicas dos componentes disponibilizadas pelos fabricantes são inseridas no software através da ferramenta *Device Database Editor*, desta forma foram inseridas as especificações dos diodos e chaves escolhidos para implementação do protótipo (GOMES; JOCA, 2015).

A Figura 14 apresenta a curva de rendimento do conversor dada pela relação de potência entregue pelo conversor e o seu rendimento naquele instante, para o levantamento desta curva foi necessário fazer várias simulações variando o valor da tensão de entrada o que conseqüentemente varia a potência entregue a carga, os dados de cada simulação foram reunidos e utilizados para gerar a curva com o software *Matlab*. O rendimento simulado do conversor operando com carga nominal foi de 93,11%.

Figura 14 – Simulação do rendimento.



Fonte: Autoria própria (2019).



## 4. PROJETO DO CONVERSOR

### 4.1 Introdução

Neste capítulo são apresentadas todas as etapas que envolvem o projeto do conversor estudado neste trabalho, começando pela especificação e escolha dos principais componentes como chaves, diodos e capacitores, projeto e confecção dos indutores. Este capítulo também aborda o método de controle utilizado bem como o dispositivo escolhido para implementação do mesmo. Por fim é apresentado o desenvolvimento do protótipo experimental, desde o projeto inicial via software até a implementação prática do conversor.

### 4.2 Especificação dos semicondutores

Para determinar as principais especificações técnicas dos semicondutores, como tensão de pico e corrente, são considerados os resultados da simulação em software apresentados no capítulo anterior. Como se pode observar a tensão máxima nos semicondutores é igual a 200V, a corrente é igual a 10A nas chaves e 5A nos diodos, porém é importante que os componentes estejam sobre dimensionados para suportar sobressinais e possíveis falhas que podem surgir nos testes práticos.

Considerando estes aspectos optou-se por utilizar interruptores do tipo MOSFET com a tecnologia CoolMOS<sup>tm</sup> da fabricante Infineon modelo SPP24N60C3, o qual suporta uma capacidade de corrente de 24,3A, e uma tensão de 650V. Deve-se analisar também a resistência entre os terminais *drain* e *source* chamada de  $R_{DS(on)}$ , essa é a resistência característica do MOSFET em condução, e determina parte das perdas por condução, desta forma quanto menor este valor, menores serão as perdas, a chave escolhida possui  $R_{DS(on)} = 0,16\Omega$  especificado pelo fabricante.

As chaves do tipo MOSFET apresentam um pequeno atraso de acionamento, proveniente da característica capacitiva do terminal *gate* que é isolado. Este atraso característico é outro parâmetro muito importante que deve ser levado em consideração, pois é responsável pela maior parte das perdas por comutação, uma vez que a maior parte da potência é dissipada no momento de comutação onde ocorre a sobreposição entre tensão e corrente nos momentos de entrada e saída de condução. Os tempos em que estas sobreposições ocorrem são

proporcionais ao tempo de carga e descarga das capacitâncias do MOSFET, e são determinados pelo valor da carga do terminal *gate* chamado de  $Q_G$ , este valor é encontrado no manual do fabricante (MORITZ, 2014).

Os diodos escolhidos foram do tipo *Shottky* (diodo ultrarrápido), que possuem melhor desempenho para aplicações em alta frequência, modelo STD10S30 também da fabricante Infineon. Ambos semicondutores utilizam encapsulamento TO-220 para otimizar o tamanho do protótipo.

### 4.3 Especificação dos capacitores

Para a especificação dos capacitores devem ser considerados os cálculos desenvolvidos para o projeto do conversor em anexo no apêndice (A) e também os resultados da simulação apresentados no item 3.3. Analisando os resultados observa-se que os capacitores intermediários devem suportar uma corrente de 2,5A onde os capacitores  $C_1$  e  $C_2$  trabalham com tensão de 50V, e  $C_3$  e  $C_4$  operam com tensão de 150V. Desta forma optou-se por utilizar capacitores de Filme de Poliéster que possuem como característica suportar maiores capacidades de corrente. Para os capacitores  $C_1$  e  $C_2$  foi utilizado o modelo B32774D4226 de 22uF da fabricante Epcos, o qual possui uma capacidade de corrente igual a 14,5A e tensão máxima de 450V.

Nos capacitores  $C_3$  e  $C_4$ , por questão de disponibilidade, optou-se por fazer uma associação de dois capacitores em paralelo a fim de se obter a capacitância desejada, foram utilizados um capacitor Epcos de 4,7uF modelo B32526R3475 e um capacitor Icotron de 2,2uF ambos suportam tensão de 250V, porém não possuem especificação de corrente. Considerando que a corrente neste ponto do circuito é relativamente baixa comparado a corrente suportada pela maioria dos capacitores de filme convencionais, e a associação em paralelo divide a corrente total entre os dois capacitores, eles podem ser utilizados mesmo sem as devidas informações.

O capacitor de saída  $C_o$  tem como objetivo estabilizar e diminuir a ondulação na tensão de saída, sendo assim a corrente neste capacitor é praticamente desprezível, o capacitor projetado foi de 0,625uF e utilizado foi de 2,2uF, neste caso o capacitor pode ser sobre dimensionado pois quanto maior a capacitância menor a ondulação na tensão de saída

#### 4.4 Projeto dos indutores

Os indutores são componentes muito importantes para o funcionamento do conversor, neste caso onde a topologia é composta por vários indutores, os mesmos devem ser bem dimensionados para que o protótipo opere o mais próximo possível da simulação, um projeto ideal também visa estabelecer parâmetros de dimensionamento de tal forma que haja o mínimo de perdas nos magnéticos, contribuindo para um bom rendimento do conversor.

De acordo com a frequência de operação já estabelecida mostrada na Tabela 1, o núcleo escolhido para a construção dos indutores é um núcleo do tipo toroidal de pó de ferro da fabricante Magmatec, modelo MMT034T7725. Os cálculos de dimensionamento para a confecção dos indutores estão em anexo juntamente com os demais cálculos de projeto no Apêndice (A).

#### 4.5 Controle

As aplicações práticas dos conversores são bastante exigentes e apresentam vários pontos críticos para a operação que devem ser levados em consideração. A variação repentina de carga bem como possíveis distúrbios na alimentação alteram completamente a dinâmica de funcionamento do conversor e resultam em um funcionamento inadequado. Desta forma é essencial um projeto de controle, para que estas faltas possam ser devidamente tratadas e retornem para a planta através de um sistema de controle para que o conversor continue operando normalmente, ignorando as perturbações.

Microcontroladores, microprocessadores, processador de sinal digital (DSP), redes neurais, lógica difusa e FPGA baseado em VLSI são diferentes plataformas digitais disponíveis para controle. No entanto, as técnicas de controle baseadas em DSPs e em microcontroladores requerem um processamento sequencial. O recurso de processamento simultâneo está disponível em controladores baseados em FPGA. Os FPGAs podem ser programados para ter uma estrutura paralela que o torna mais rápido. Eles são facilmente programados e também podem ser testados em tempo real (PANDIT; SHET, 2017).

Devido as características que o tornam relativamente mais rápido para aplicações em processamento de sinais, e a acessibilidade ao dispositivo, o FPGA foi a plataforma de processamento escolhida para ser utilizada como controlador neste trabalho. O controle baseado em FPGA é implementado levando em consideração três regras principais para o projeto: 1)

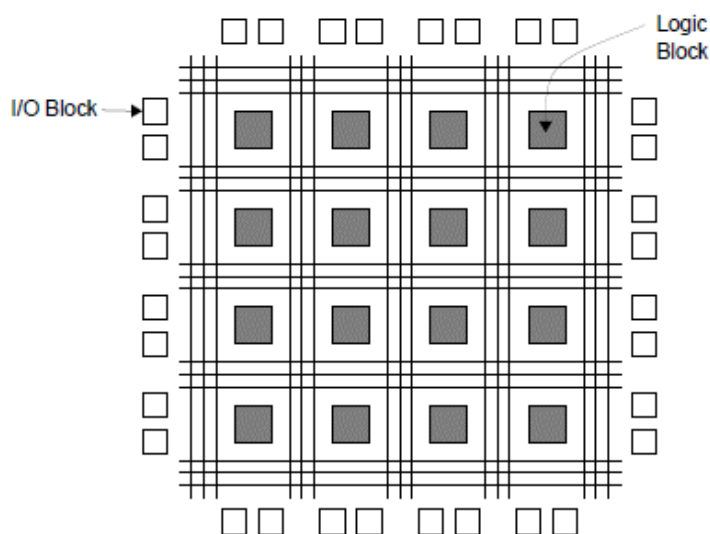
Refinamento: simplificação do algoritmo de controle. 2) Modularidade: simplificação da utilização lógica. 3) Compatibilidade entre o projeto e o hardware (PANDIT; SHET, 2017).

#### 4.5.1 FPGA

O rápido progresso das técnicas de tecnologia de integração de larga escala (VLSI) e automação de projeto eletrônico (EDA) nos últimos anos, criou uma oportunidade para o desenvolvimento de controladores complexos e compactos de alto desempenho para sistemas eletrônicos industriais. Atualmente, os engenheiros de projeto estão usando as modernas ferramentas EDA para criar, simular e verificar um projeto, sem se comprometer com o hardware, pode avaliar rapidamente sistemas complexos e ideias com muita confiança na operação correta do produto final. A velocidade do desempenho de novos componentes e a flexibilidade inerente a todas as soluções programáveis oferecem hoje muitas oportunidades no campo da implementação digital para sistemas de controle industrial. Isso é particularmente verdadeiro com soluções de software como microprocessadores ou processadores de sinais digitais (DSPs). No entanto, tecnologias de hardware específicas, como FPGAs, também podem ser consideradas como uma solução apropriada para aumentar o desempenho dos controladores. De fato, esses componentes genéricos combinam desenvolvimento de baixo custo devido a sua característica de ser reprogramável (MONMASSON; CIRSTEIA, 2007).

Matrizes de portas programáveis em campo (FPGA) consiste em blocos lógicos dispostos em uma matriz que são conectados por uma interconexão programável. O núcleo é cercado por blocos de entrada e saída programáveis, como mostrado na Figura 15. Os FPGAs têm vários blocos disponíveis, estes podem ser memórias de acesso aleatório (RAM), aceleradores de hardware, núcleos de processadores rígidos e flexíveis, entre outros. A interconexão programável conecta muitos desses blocos lógicos para implementar uma função complexa. As vantagens do projeto implementado com o FPGA é que ele fornece uma lógica simultânea. A lógica sequencial e combinatória pode ser implementada com uma arquitetura paralela, aumentando assim a velocidade do desempenho.

Figura 15 – Estrutura do FPGA



Fonte: PANDIT, SHET (2017).

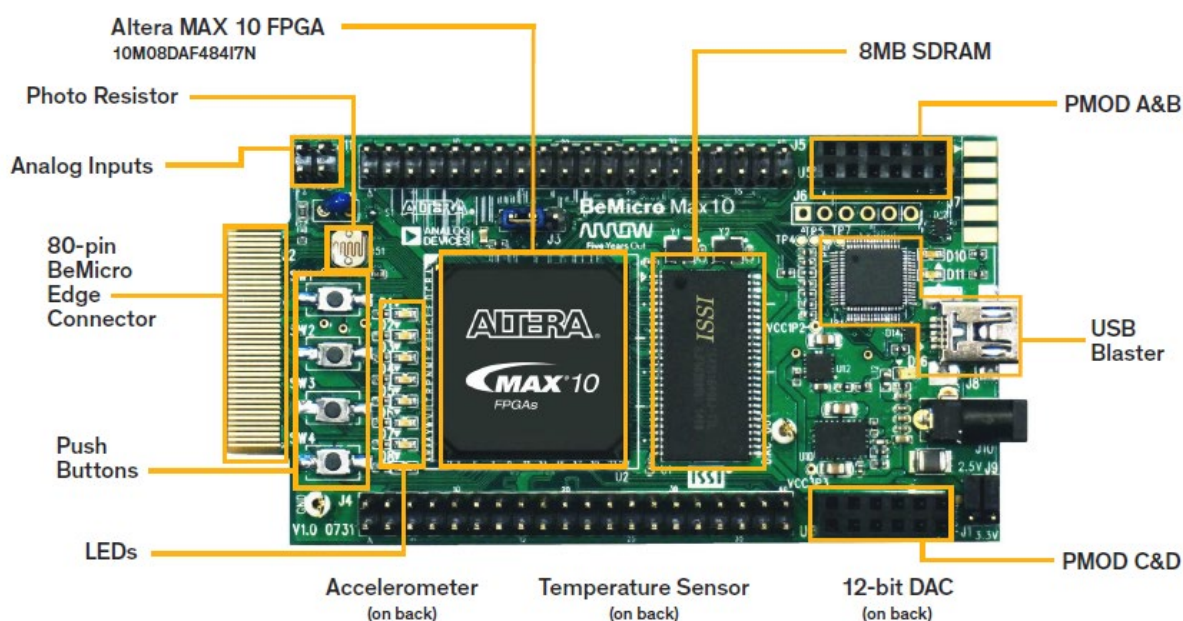
Os FPGAs podem ser programados usando dois tipos de HDL, estes são: VHDL (*VHSIC hardware description Language*; (VHDL) e Verilog. O ambiente HDL também pode fornecer o resumo da utilização lógica do controlador. A implementação de algoritmos de controle no FPGA requer treinamento especializado em linguagem de descrição de hardware. O desenvolvimento do protótipo por codificação manual consome tempo e é cansativo mesmo para pesquisadores ou engenheiros experientes com aumento no nível de complexidade dos controladores. Portanto, ao trabalhar com circuitos mais complexos, o ambiente Matlab-Simulink oferece uma ferramenta geradora de sistema que também é utilizada para gerar um código HDL que pode ser sintetizado em um FPGA. O desenvolvimento de todo o sistema no FPGA é feito usando os blocos reutilizáveis para prototipagem rápida e implementação eficiente, desta forma, os desenvolvedores do projeto podem focar melhor no hardware, sem perder muito tempo com os códigos (PANDIT; SHET, 2017) (SUMAM; SHINY, 2018).

Considerando que o processamento simultâneo não está disponível no DSP ou nas plataformas baseadas em microcontroladores, algoritmos exigentes de alta velocidade podem ser implementados de forma eficiente em um FPGA. As metodologias de design e projetos com FPGA são classificadas a seguir:

- 1) Nível do sistema: Os parâmetros de design são especificados.
- 2) Nível de comportamento: O comportamento do design é especificado.
- 3) Registrar nível de transferência (RTL): O sistema é especificado como componentes combinacionais e sequenciais.
- 4) Nível físico: O sistema é descrito em termos de hardware alvo, por exemplo: nível do transistor (PANDIT; SHET, 2017).

O FPGA pode ser encontrado em diversas plataformas de desenvolvimento, bem como em Kits didáticos para facilitar sua utilização. A Figura 16 apresenta o modelo escolhido, o kit BeMicro Max 10, nesta imagem também são destacados os principais componentes que compõe o Kit, esta plataforma se diferencia dentre outros modelos disponíveis por possuir um conversor AD integrado no mesmo encapsulamento. Além disso, a taxa de amostragem máxima é feita a 1 MHz, dividida pelo número de entradas analógicas em uso. Já outras plataformas como por exemplo o DE0-Nano que também é bastante conhecido e utilizado, possui taxa de amostragem máxima de 200 kHz e a conversão AD é feita externamente pelo periférico aumentando o tamanho do hardware. Portanto devido a estas vantagens foi escolhido para aplicação pratica o kit BeMicro Max 10 (DAL'AGNOL, 2018).

Figura 16 – FPGA BeMicro Max10



Fonte: INTEL.

#### 4.5.2 Modulação PWM com FPGA

O controle digital desempenha um papel muito importante nos dispositivos de eletrônica de potência. Neste caso é essencial para regular a tensão de saída do conversor, determinando os períodos em que os interruptores permanecem ligados ou desligados através da razão cíclica, este tipo de modulação é conhecido como modulação por largura de pulso (PWM).

Segundo Pandit e Shet (2017) o PWM é obtido gerando-se uma forma de onda repetitiva e comparando a saída do controlador. A forma de onda repetitiva terá uma frequência

igual à frequência de comutação. A implementação do FPGA envolve uma geração de contagem e um comparador. Dois modos digitais diferentes são implementados e comparados. Um modulador digital de largura de pulso (DPWM) tem frequência de comutação constante, mas o tempo ligado varia, e um modulador digital de frequência de pulso (DPFM) em que a frequência de comutação varia. As vantagens do DPWM são que ele opera em alta frequência de comutação constante, enquanto o DPFM opera com baixo consumo de energia com controle sobre a frequência de comutação. A arquitetura DPWM é modificada da convencional pela ausência de relógio externo.

#### 4.6 Desenvolvimento do protótipo

O desenvolvimento do protótipo é uma etapa delicada e requer muita atenção, pois erros simples podem comprometer todo o seu funcionamento. Para isso é importante a revisão do circuito de potência e acionamento para que tudo funcione perfeitamente. Para a criação da PCB foi utilizado o software *Altium Designer*, este software é bastante versátil e oferece diversas ferramentas que auxiliam no desenvolvimento de circuitos eletrônicos, durante um projeto no *Altium Designer* se trabalha em dois documentos, um contendo o esquemático e o outro o layout da PCB, os documentos são interligados pelo software de modo que qualquer alteração em algum dos dois documentos seja atualizada em ambos, o que diminui a chance de erros durante o desenvolvimento.

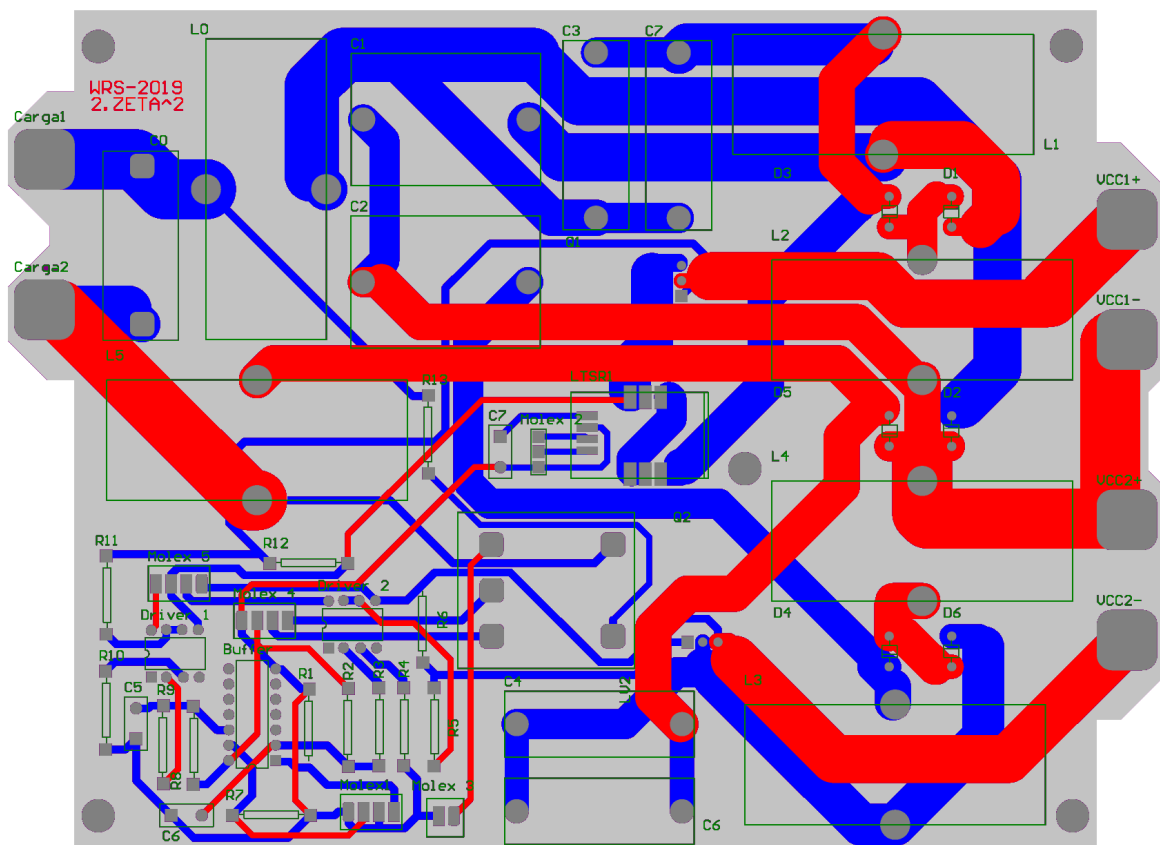
Considerando que o dispositivo de controle escolhido é o FPGA e os interruptores escolhidos são do tipo MOSFET, se faz necessário a utilização de um circuito *driver de gate*, este circuito tem como função fazer uma interface entre o dispositivo de controle e os interruptores do circuito de potência, uma vez que a tensão fornecida pelo FPGA não é ideal para o acionamento direto dos interruptores. Considerando também que o protótipo a ser implementado possui dois interruptores, o acionamento dos mesmos deve ser feito de maneira isolada, ou seja, os circuitos de excitação dos *gates* dos interruptores devem ser isolados da fonte de alimentação do circuito de potência, e ambos também devem ser isolados entre si, dado ao fato de que as referências dos interruptores (terminal *source*) ficam em pontos distintos e que possuem diferença de potencial entre si. Esta questão deve ser contornada utilizando uma fonte de alimentação separada para cada canal do *driver*. Inicialmente foi desenvolvido um circuito *driver de gate* de dois canais que possui como principais componentes um Buffer modelo SN7407 responsável por amplificar o sinal vindo do controlador, e dois Opto

Acopladores modelo FOD3180, que isolam os circuitos de acionamento e fazem a interface com o circuito de controle.

O circuito de potência seguiu a mesma ligação da simulação apresentada na Figura 10, com exceção dos dispositivos de medição, os quais no projeto prático foram utilizados um sensor de tensão modelo LV25-P, na saída do conversor, e um sensor de corrente modelo LTSR25-NP que foi ligado em série com a chave S1.

O esquemático do projeto final desenvolvido é apresentado no Apêndice B. Os arquivos .GTL, .GBL, .GM1 e .TXT necessários para a confecção da PCB em uma fresadora do tipo CNC, foram gerados com o software, e o layout desenvolvido no software pode ser visualizado a seguir na Figura 17. As linhas em vermelho representam as trilhas do *Top Layer* (parte superior da PCB), já as linhas em azul são as trilhas localizadas no *Bottom Layer* (parte inferior da PCB).

Figura 17 – Layout para a PCB do conversor Duplo Zeta Quadrático



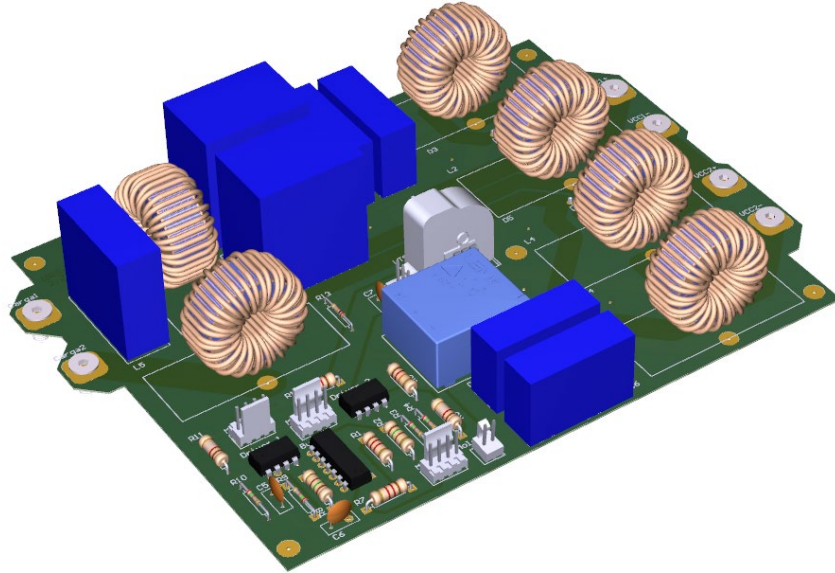
Fonte: Autoria própria (2019).

O software *Altium Designer* dispõe de uma ferramenta que permite a visualização e exportação do projeto em 3D, para se ter uma ideia de como ficará o protótipo após montado



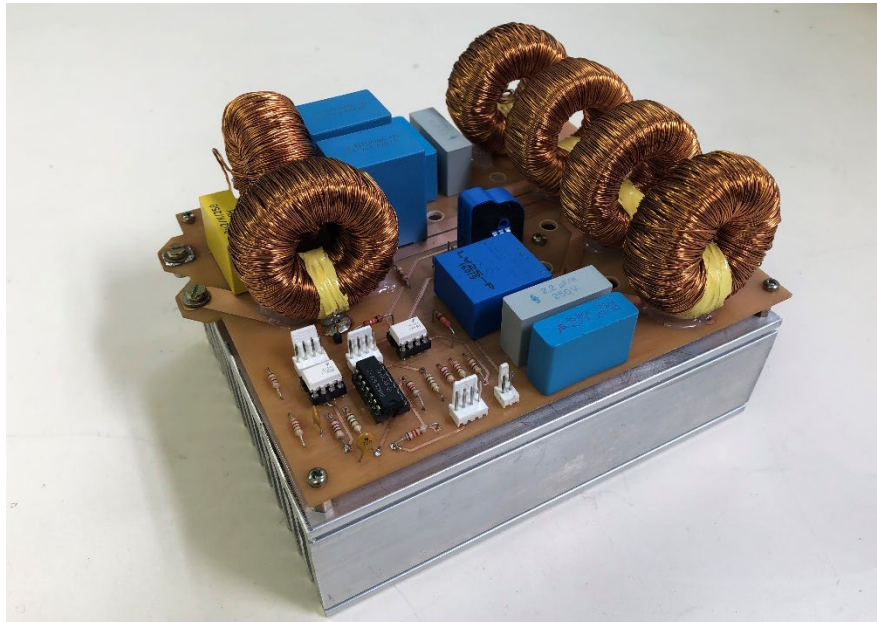
com todos os componentes. A visualização do projeto final em 3D disponibilizada pelo software pode ser observada na Figura 18, e o protótipo do conversor pronto é apresentado em seguida na Figura 19.

Figura 18 – Visualização 3D do projeto do conversor



Fonte: Autoria própria (2019).

Figura 19 – Conversor Duplo Zeta Quadrático



Fonte: Autoria própria (2019).

## 5. RESULTADOS EXPERIMENTAIS

### 5.1 Introdução

Neste capítulo são apresentados os resultados experimentais do conversor estudado, o qual foi projetado e desenvolvido conforme apresentado no capítulo anterior. O protótipo do conversor Duplo Zeta Quadrático foi inicialmente implementado em malha aberta, para se obter os principais resultados como formas de onda, valores de tensão de entrada e saída e o rendimento do conversor. Os resultados experimentais são muito importantes pois devem ser comparados com os resultados teóricos já estudados, e desta forma possibilitam consolidar um estudo mais abrangente sobre esta nova topologia.

### 5.2 Conversor Duplo Zeta Quadrático operando em malha aberta

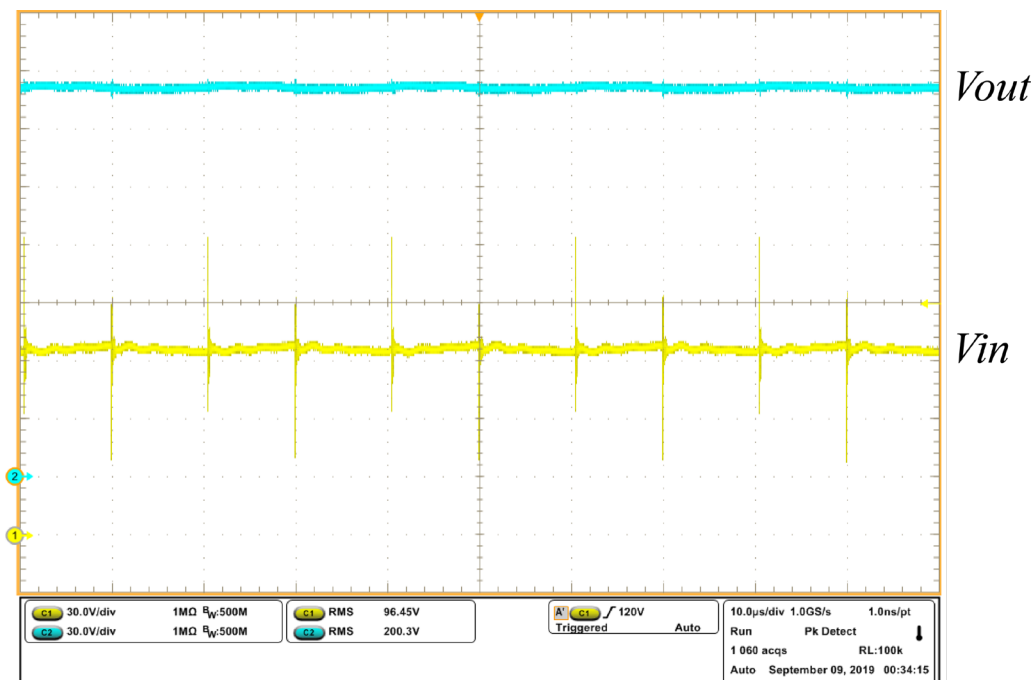
Os testes experimentais foram obtidos através da implementação prática do conversor operando em malha aberta, foram previamente estabelecidos alguns parâmetros essenciais como frequência de operação em 50kHz e razão cíclica de  $D = 0,5$  apresentados no capítulo 3 na Tabela 1. Portanto um modulador PWM foi implementado no FPGA para a realização dos testes do conversor em malha aberta sob estas características, o Apêndice D em anexo apresenta uma visão geral do circuito digital sintetizado no FPGA. Com relação a razão cíclica devem ser considerados alguns fatores que devem ocorrer na prática, como atrasos no circuito de acionamento devido aos componentes aplicados para a isolação deste circuito, bem como atraso nas próprias chaves, pois o MOSFET possui uma característica capacitiva no seu terminal de acionamento *gate*.

Para a análise das formas de onda nos testes práticos foi utilizado um osciloscópio Tektronix modelo DPO-5054, o qual dispõe de quatro canais para medições, junto ao osciloscópio foram utilizadas ponteiras de tensão isoladas e ponteiras de corrente, a taxa de amostragem configurada para realizar as medições foi de 1GS/s. A alimentação do conversor foi feita com duas fontes de tensão CC ajustáveis da Tectrol, com tensão máxima de 75V e corrente de até 40A.

Iniciando a análise a Figura 20 apresenta a tensão de saída em azul, e a tensão de entrada em amarelo, pode-se observar que a tensão de saída é praticamente duas vezes maior

do que a tensão de entrada, similar aos resultados apresentados no item da simulação, comprovando assim o funcionamento do conversor Duplo Zeta Quadrático como elevador de tensão, onde ganho teórico é de  $V_0 / V_{in} = 2$  para razão cíclica  $D = 0,5$ . Pode se observar também alguns sobressinais nos pontos de pico da ondulação da tensão de entrada, provenientes da frequência de chaveamento do conversor, porém estes sobressinais não aparecem na tensão saída, isso ocorre pelo fato de a topologia apresentar características indutivas em sua saída, ou seja, o circuito de saída é composto por um filtro de 2ª ordem e trabalha como uma fonte de corrente para a carga. Essa característica é um ponto positivo pois torna a saída do conversor bastante estável, e o torna viável onde a aplicação necessita de uma fonte com baixa ondulação de tensão.

Figura 20 – Tensão de entrada  $V_{in}$  e tensão de saída  $V_{out}$ .



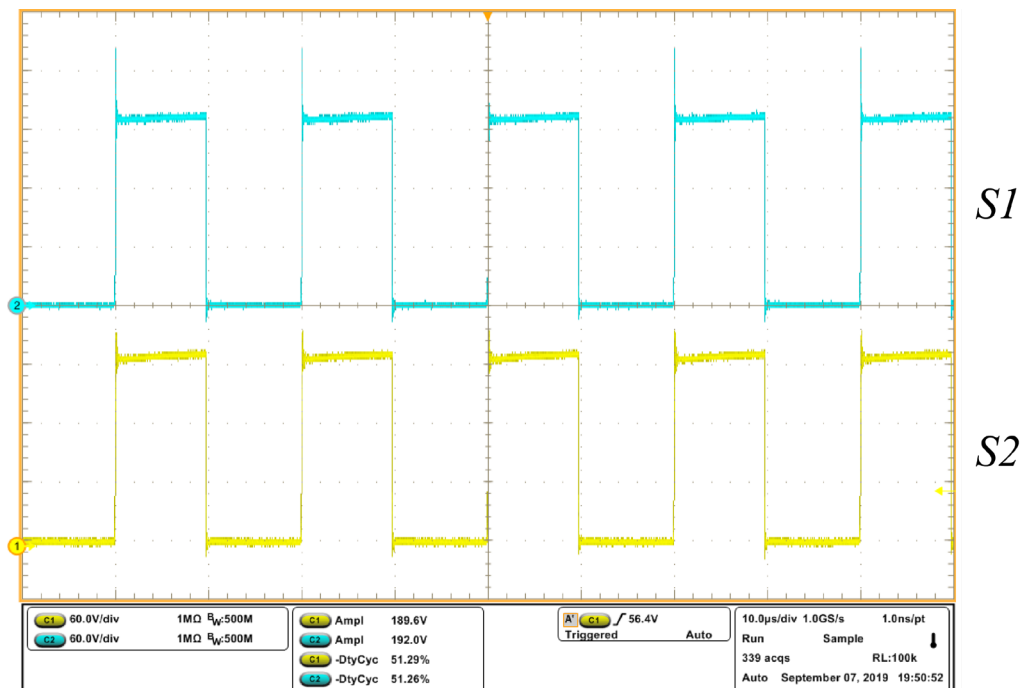
Fonte: Autoria própria (2019).

A Figura 21 apresenta a forma de tensão nos interruptores  $S_1$  em amarelo e  $S_2$  em azul, pode-se observar que no momento inicial onde o interruptor encontra-se saturado a tensão sobre ele é igual a zero, e no período em que o interruptor se encontra aberto a tensão de pico em seus terminais *drain* e *source* é igual a tensão total de saída. Devido ao fato de a entrada ser dividida em duas fontes de tensão, pode-se notar um pequeno desbalanceamento entre a tensão dos interruptores, desta forma mesmo procurando manter a mesma tensão em ambas as fontes é inevitável a existência de pequenas variações.

O resultado da análise utilizando o osciloscópio também fornece o valor do *Duty*

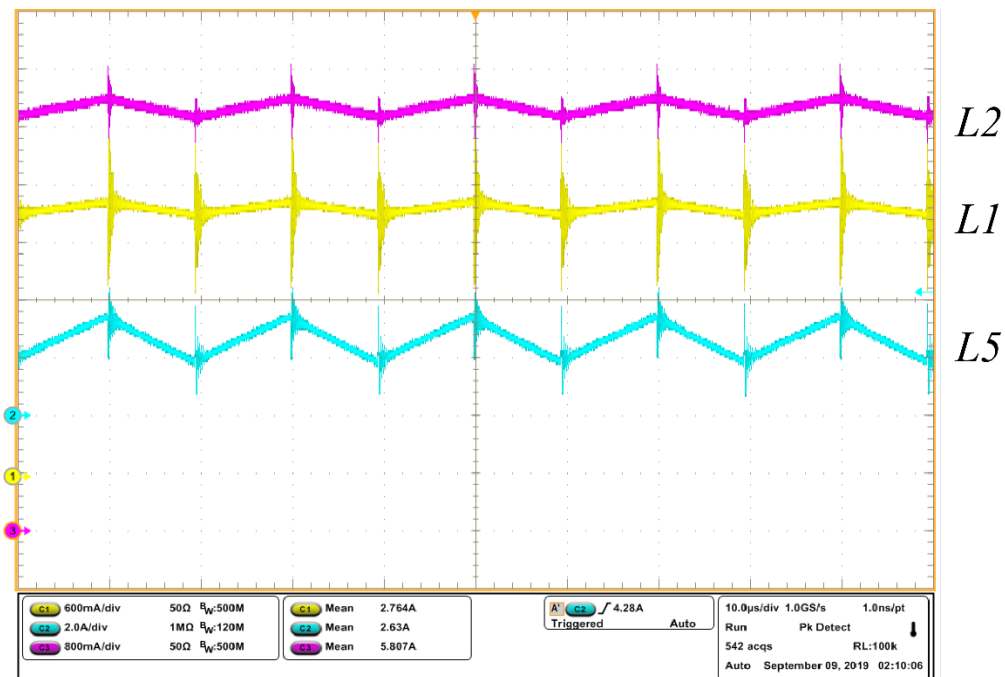
*Cycle* (ciclo de trabalho), que é equivalente a razão cíclica estabelecida e implementada no FPGA para o controle do conversor com valor de  $D = 0,5$  ou seja um ciclo de trabalho de 50%. Porém na prática pode-se observar uma pequena diferença, que como citada anteriormente no capítulo 4 no item de especificação dos semicondutores, é resultado do atraso proveniente da descarga do terminal *gate* do interruptor no momento da transição de saída de condução, o que resulta em um ciclo de trabalho ligeiramente maior que o estabelecido, neste caso aproximadamente 51,29%, como também pode ser observado a seguir na Figura 21.

Figura 21 – Tensão nos interruptores  $S_1$  e  $S_2$ .



Fonte: Autoria própria (2019).

Prosseguindo com a análise na Figura 22 são apresentados os valores das correntes nos indutores  $L_1$ ,  $L_2$  e  $L_5$  nas cores amarelo, rosa e azul respectivamente, assim como nos estudos teóricos os indutores apresentam ondulação de corrente em forma de onda triangular, seguindo seu tempo de carga e descarga conforme cada etapa de operação. Observa-se novamente a semelhança com os resultados obtidos através da simulação em software, comprovando assim o estudo teórico e os valores de projeto calculados.

Figura 22 – Corrente nos indutores  $L_1$ ,  $L_2$  e  $L_5$ .

Fonte: A autoria própria (2019).

Através das formas de ondas e valores apresentados, obtidos através dos testes experimentais, pode-se observar a grande semelhança com relação aos estudos teóricos, o que comprova assim a funcionalidade deste conversor conforme as suas características, bem como a eficácia do projeto do protótipo desenvolvido.

### 5.3 Análise de rendimento do conversor

Conforme já mencionado a eficiência de um conversor é uma característica muito importante, desta forma um dos objetivos da implementação prática do conversor é revelar este dado. O rendimento de um determinado circuito elétrico é obtido através divisão da potência total de saída pela potência total de entrada do circuito, considerando que o conversor Duplo Zeta Quadrático é alimentado por duas fontes de tensão, o cálculo para se obter o seu rendimento se dá pela equação 5.1 a seguir:

$$\eta = \frac{P_{saída}}{P_{entrada}} = \frac{V_3 \cdot I_3}{V_1 \cdot I_1 + V_2 \cdot I_2} \quad (5.1)$$

Para realizar a análise de rendimento do conversor, utilizou-se o analisador de potência *Yokogawa* WT1800 este equipamento dispõe de quatro pontos de medição de potência

dos quais três foram utilizados, além de permitir várias configurações de medição ao qual cada tipo de análise necessita, desta forma a equação 4.13 foi introduzida como parâmetro para esta medição no equipamento através da sua IHM, definindo  $V_1.I_1 + V_2.I_2$  como potência de entrada e  $V_3.I_3$  como potência de saída.

A utilização de um analisador de energia possibilita uma análise confiável e com resultados precisos, como pode-se observar na Figura 23 a seguir o rendimento do conversor operando em sua potência nominal é de 90,08%. Pode-se observar também que o rendimento do conversor nos testes experimentais é menor que o rendimento de simulação, onde o rendimento em potência nominal simulado foi de 93,11%, isso se dá pelo fato de que durante a simulação não foram consideradas demais perdas, como perdas nos indutores, sabendo-se que a topologia deste conversor é composta por seis indutores, pode-se notar que por mais que estas perdas sejam pequenas, somadas influenciam na sua eficiência.

Figura 23 – Rendimento do conversor Duplo Zeta Quadrático

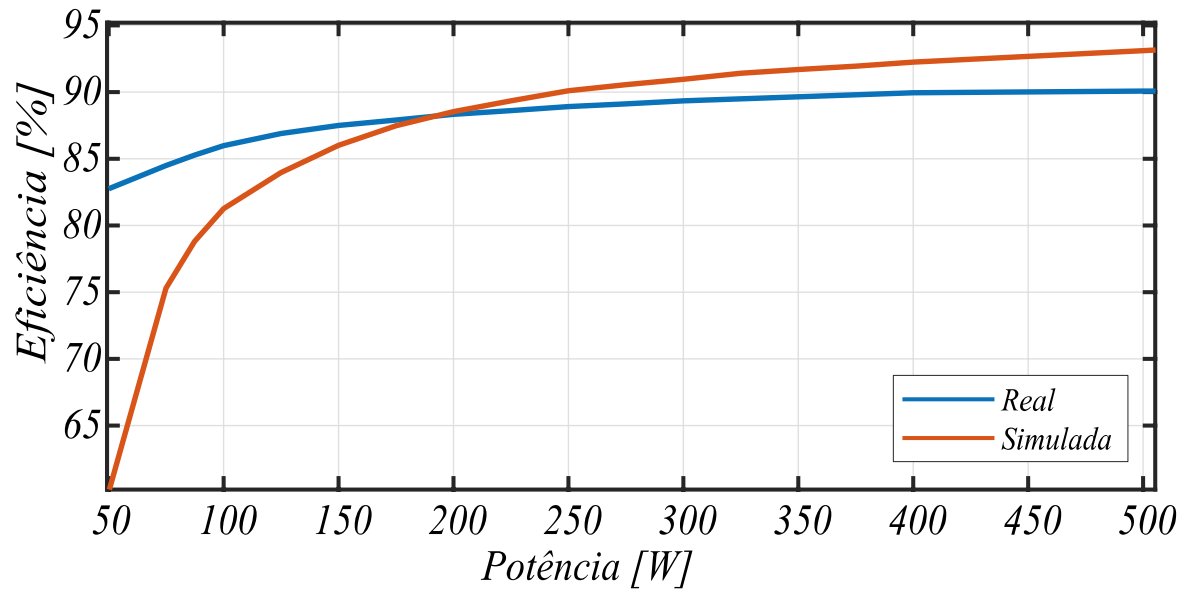


Fonte: Autoria própria (2019).

A Figura 24 mostra a curva de rendimento real que foi levantada através dos valores obtidos nos testes experimentais e plotada com o software *Matlab*, em comparação com a curva dos resultados de simulação apresentada anteriormente na Figura 14. A curva foi levantada a partir de 50W que representam 10% da potência nominal do conversor, até 500W que é a potência para qual o conversor foi projetado. Pode-se observar que a curva real é mais estável

e se mantém estabilizada ao se aproximar da potência nominal de operação.

Figura 24 – Comparação da curva de rendimento real e simulada.



Fonte: Autoria própria (2019).

## 6. CONCLUSÃO

Através desse trabalho pôde-se desenvolver um estudo sobre novas topologias de conversores e como são concebidas, e assim compreender melhor a motivação sobre os estudos de novas tecnologias, devido as necessidades e particularidades de cada aplicação dentre as mais diversas onde se aplicam os conversores CC-CC não isolados. Inicialmente foi apresentada uma revisão bibliográfica que envolve o conversor Zeta em suas topologias básica e multiníveis, com o objetivo de esclarecer a origem do novo conversor, e comparar as características de cada modelo, justificando assim as vantagens do conversor Duplo Zeta Quadrático nas mais diversas possibilidades de aplicações práticas.

Os métodos adotados para pesquisa e desenvolvimento desse trabalho trouxeram resultados positivos, pois contribuíram para a consolidação dos conhecimentos adquiridos ao longo do desenvolvimento, aplicando-os na prática para implementar o protótipo. Com os resultados obtidos através dos testes experimentais do conversor, pode-se concluir que os resultados práticos estão de acordo com os resultados teóricos e de simulação, validando assim a viabilidade de aplicação dessa nova topologia. É importante ressaltar que a utilização do FPGA foi fundamental para realização dos experimentos, pois de fato é um dispositivo bastante robusto para aplicações em controle digital. Considerando que a validação do protótipo obteve resultados positivos, futuramente esse conversor pode também ser implementado em malha fechada, para que seu comportamento em regime permanente passe a rejeitar perturbações de carga, abordando assim um entendimento ainda mais detalhados da topologia e sua dinâmica.

Todos os dados provenientes desse estudo foram reunidos em um artigo científico o qual se encontra em sua primeira versão em anexo no Apêndice E. uma vez que o conversor Duplo Zeta Quadrático não possui estudos práticos apresentados até o momento, este artigo apresenta de forma resumida e objetiva as características e vantagens dessa nova topologia para os diversos tipos de aplicações. A primeira versão do artigo foi aceita e será apresentada na conferência internacional IEEE sobre tecnologia industrial (International Conference on Industrial Technology - ICIT 2020). O congresso será realizado nos dias 26 a 28 de fevereiro de 2020 em Buenos Aires, Argentina.

Por fim, conclui-se que o conversor Duplo Zeta Quadrático, assim como os demais conversores possui algumas particularidades, como por exemplo, uma grande quantidade de componentes como indutores e diodos para compor o circuito, porém, de um modo geral provou ser um conversor bastante eficiente, cumprindo com a relação de conversão estática



equacionada, validando a viabilidade de utilização desse modelo de conversor na área da eletrônica de potência, para aplicações que exijam estas características.

## REFERÊNCIAS

- BARAUNA, Allan Pierre. **Paralelismo de Inversores de Tensão Controlados pelo Valor Médio Instantâneo da Tensão de Saída**. Dissertação (Mestrado) Universidade Federal de Santa Catarina, UFSC, 2003.
- BARBI, Ivo. **Eletrônica de potência: Projeto de fontes chaveadas**. Edição do autor, 2007.
- BOTTARELLI, Marlos Gatti. **Conversores cc-cc básicos não-isolados quadráticos de três níveis**. 2006. Tese de Doutorado. Universidade Federal de Santa Catarina, Centro Tecnológico. Programa de Pós-Graduação em Engenharia Elétrica.
- DAL'AGNOL, Cleiton. **Comparação entre microcontroladores e aplicação do FPGA no controle do conversor boost**. TCC (Graduação) – Centro Universitário UNIFACVEST, curso de Engenharia Elétrica, LAGES, 2018.
- ERICKSON, Robert W.; MAKSIMOVIC, Dragan. **Fundamentals of power electronics**. Springer Science & Business Media, 2007.
- GOMES, Daniel da Silva; JOCA, Davi Rabelo. **TUTORIAL - PSIM SOFTWARE**. 2015, Departamento de Engenharia Elétrica, Centro de Tecnologia, Universidade Federal do Ceará.
- JAIN, Ruchi V.; AWARE, M. V.; JUNGHARE, A. S. **Implementation of a PID control PWM module on altera DE0 kit using FPGA**. In: 2016 IEEE First International Conference on Control, Measurement and Instrumentation (CMI). IEEE, 2016. p. 341-345.
- JHA, Aman; SINGH, Bhim. **Bridgeless ZETA PFC converter for low voltage high current LED driver**. In: 2017 6th International Conference on Computer Applications In Electrical Engineering-Recent Advances (CERA). IEEE, 2017. p. 539-544.
- LIRIO, Luiz Eduardo Altoé. **Contribuições para Análise de Perdas em Conversores de Potência com MOSFET**. 2013. Tese de Doutorado. Universidade Federal do Rio de Janeiro.
- MARTINS, Denizar Cruz; BARBI, Ivo. **Eletrônica de potência: Conversores CC-CC básicos não isolados**. Florianópolis, pg. 237 – 319, 2ª ed. Ed. dos autores, 2006.
- MAKSIMOVIC, Dragan; CUK, Slobodan. **General properties and synthesis of PWM DC-to-DC converters**. In: 20th Annual IEEE Power Electronics Specialists Conference. IEEE, 1989. p. 515-525.

MAKSIMOVIC, Dragan; CUK, Slobodan. **Switching converters with wide DC conversion range**. IEEE Transactions on Power Electronics, v. 6, n. 1, p. 151-157, 1991.

MAGMATEC. **Especificações técnicas do núcleo**. Disponível em:<[https://www.magmattec.com.br/wp-content/uploads/2019/03/MATERIAL-034\\_01.pdf](https://www.magmattec.com.br/wp-content/uploads/2019/03/MATERIAL-034_01.pdf)>. Acesso em out. 2019.

MOHAN, Ned; UNDELAND, Tore M.; ROBBINS, William P. **Power electronics: converters, applications, and design**. John wiley & sons, 2003.

MONMASSON, Eric; CIRSTEA, Marcian N. **FPGA design methodology for industrial control systems — A review**. IEEE transactions on industrial electronics, v. 54, n. 4, p. 1824-1842, 2007.

MORITZ, Rodrigo Mauro Bauer. **Estudo de perdas por comutação, condução e cálculo térmico de um inversor trifásico de dois níveis**. 121 f. TCC (Graduação) - Universidade do Estado de Santa Catarina, curso de Engenharia Elétrica, Joinville, 2014.

PADILHA, Felipe José da Costa. **Topologias de Conversores CC-CC Não Isolados com Saídas Simétricas para Sistemas Fotovoltáicos**, Tese, pg 50 - 51. Programa de Pós-graduação em Engenharia Elétrica, COPPE, Universidade Federal do Rio de Janeiro, 2011.

PANDIT, Sonali; SHET, V. N. **Review of FPGA based control for switch mode converters**. In: 2017 Second International Conference on Electrical, Computer and Communication Technologies (ICECCT). IEEE, 2017. p. 1-5.

RUAN, Xinbo et al. **Fundamental considerations of three-level DC-DC converters: topologies, analyses, and control**. IEEE Transactions on Circuits and Systems I: Regular Papers, v. 55, n. 11, p. 3733-3743, 2008.

RUAN, Xinbo; WEI, Jian; XUE, Yali. **Three-level converters with the input and output sharing the ground**. In: IEEE 34th Annual Conference on Power Electronics Specialist, 2003. PESC'03. IEEE, 2003. p. 1919-1923

SÁ, Franciéli Lima de. **Conversores CC-CC com elevada taxa de conversão estática**, Tese, 2014. Disponível em: <<https://repositorio.ufsc.br/xmlui/handle/123456789/131011>> Acesso em set. 2019

SCHMITZ, Lenon. **“Conversores CC-CC não-isolados de alto ganho e de alto rendimento destinados a aplicações fotovoltaicas e baseados no conversor boost com célula de ganho”**. Dissertação (mestrado), pg. 54 – 82. Programa de Pós-Graduação em Engenharia Elétrica, INEP, Universidade Federal de Santa Catarina, 2015.

SUMAM, M. J.; SHINY, G. **Rapid Prototyping of High Performance FPGA Controller for an Induction Motor Drive**. In: 2018 8th International Conference on Power and Energy Systems (ICPES). IEEE, 2018. p. 76-80.

TEKTRONIX. **DPO5054 Digital Oscilloscope**. Disponível em:<<https://www.tek.com/oscilloscope/dpo70000-mso70000-manual/mso70000dx-dpo70000dx-mso70000c-dpo70000c-dpo7000c-mso5000b-0>>. Acesso em out. 2019.

TSENG, K. C.; LIANG, Tsorng-Juu. **Novel high-efficiency step-up converter**. IEE Proceedings-Electric Power Applications, v. 151, n. 2, p. 182-190, 2004.

YOKOGAWA. **WT1800 Precision Power Analyzer**. Disponível em:<<https://cdn.tmi.yokogawa.com/IMWT1801-02EN.pdf>> Acesso em: out. 2019.

## APÊNDICE A – PROJETO DOS PARÂMETROS DO CONVERSOR DUPLO ZETA QUADRÁTICO



centro universitário  
**unifacvest**

Projeto de Eletrônica de Potência

Orientadora: Prof<sup>a</sup>. Franciéli Lima de Sá

Aluno: William Rafael da Silva

Trabalho de Conclusão de Curso - Conversor Duplo Zeta Quadrático

Projeto dos Parâmetros do Conversor Duplo Zeta Quadrático

Lages - Outubro de 2019

**Definição dos principais parâmetros:**

$V_{in} := 100V$		tensão de entrada total
$V_i := 50V$		tensão de entrada
$D := 0.5$		razão cíclica
$P_0 := 500W$		potência de saída

**Ganho Estático**

$G1 := \frac{D}{1 - D}$	$G1 = 1$	ganho estático 1
-------------------------	----------	------------------

$V_{C1} := G1 \cdot V_i$	$V_{C1} = 50V$	tensão cap intermediario
--------------------------	----------------	--------------------------

$V_{C3} := G2 \cdot V_i$	$V_{C3} = 150 \text{ V}$	tensão cap intermediario
$G_{total} := \frac{D}{(1 - D)^2}$	$G_{total} = 2$	ganho estático 2
$V_0 := G_{total} \cdot V_{in}$	$V_0 = 200 \text{ V}$	tensão cap intermediario
$I_0 := \frac{P_0}{V_0}$	$I_0 = 2.5 \text{ A}$	corrente de saída
$R_0 := \frac{V_0}{I_0}$	$R_0 = 80 \Omega$	resistência de carga
$f_{chav} := 50 \text{ kHz}$		frequência de operação do conversor
$f_s := f_{chav}$		
$T_s := \frac{1}{f_{chav}}$	$T_s = 2 \times 10^{-5} \text{ s}$	período de operação do conversor
$I_{in} := \frac{P_0}{V_{in}}$	$I_{in} = 5 \text{ A}$	corrente de entrada
$V_{L1} := V_i + V_{C1}$	$V_{L1} = 100 \text{ V}$	
$a := \frac{P_0}{4}$		
$I_{Cint} := \frac{a}{V_{L1} - V_{C1}}$	$I_{Cint} = 2.5 \text{ A}$	corrente intermediária

### 1 - Cálculo dos indutores a partir das ondulações de corrente

Cálculo de  $L_1$ :

$\Delta I_{L1} := 10\% \cdot I_{Cint}$	$\Delta I_{L1} = 0.25 \text{ A}$	ondulação de corrente em $L_m$
$L_1 := \frac{V_{L1} \cdot D}{f_{chav} \Delta I_{L1}}$	$L_1 = 4 \times 10^{-3} \text{ H}$	valor do indutor $L_m$

## 2 - Cálculo dos indutores a partir das ondulações de corrente

### Cálculo de $L_2$ :

$$I_{L2} := I_{in} - I_{Cint} + I_0 \quad I_{L2} = 5 \text{ A}$$

$$\Delta I_{L2} := 10\% \cdot I_{L2} \quad \Delta I_{L2} = 0.5 \text{ A} \quad \text{ondulação de corrente em } L_m$$

$$V_{L2} := V_{C1} \quad V_{L2} = 50 \text{ V}$$

$$L_2 := \frac{V_{L2} \cdot D}{f_{chav} \Delta I_{L2}} \quad L_2 = 1 \times 10^{-3} \text{ H} \quad \text{valor do indutor } L_m$$

## 3 - Cálculo dos indutores a partir das ondulações de corrente

### Cálculo de $L_0$ :

$$I_0 := \frac{P_0}{V_0} \quad I_0 = 2.5 \text{ A}$$

$$\Delta I_{L0} := 10\% \cdot I_0 \quad \Delta I_{L0} = 0.25 \text{ A} \quad \text{ondulação de corrente em } L_0$$

$$V_{L0} := V_0 \quad V_{L0} = 200 \text{ V}$$

$$L_0 := \frac{V_{L0} \cdot D}{f_{chav} \Delta I_{L0}} \quad L_0 = 8 \times 10^{-3} \text{ H} \quad \text{valor do indutor } L_0$$

## 4 - Cálculo do capacitor intermediário 1

### Cálculo de $C_{int}$ :

$$\Delta V_{Cint} := 2.5\% \cdot V_{C1} \quad \Delta V_{Cint} = 1.25 \text{ V} \quad \text{ondulação da tensão de saída}$$

$$C_{int} := \frac{D \cdot I_{Cint}}{f_{chav} \cdot \Delta V_{Cint}} \quad C_{int} = 2 \times 10^{-5} \text{ F} \quad \text{valor do capacitor } C_{int}$$

## 5 - Cálculo do capacitor intermediário 2

$$\Delta V_{C3} := 2.5\% \cdot V_{C3} \quad \Delta V_{C3} = 3.75 \text{ V} \quad \text{ondulação da tensão de saída}$$

$$C_3 := \frac{D \cdot I_0}{f_{\text{chav}} \cdot \Delta V_{C3}} \quad C_3 = 6.667 \times 10^{-6} \text{ F} \quad \text{valor do capacitor Cint}$$

## 6 - Cálculo do capacitor de saída

### Cálculo de C0:

$$\Delta V_0 := 0.5\% \cdot V_0 \quad \Delta V_0 = 1 \text{ V} \quad \text{ondulação da tensão de saída}$$

$$C_0 := \frac{V_0 \cdot (1 - D)}{8 \cdot (f_{\text{chav}})^2 \cdot L_0 \cdot \Delta V_0} \quad C_0 = 6.25 \times 10^{-7} \text{ F} \quad \text{valor do capacitor C0}$$

## 7 - Cálculo do resistor de saída

### Cálculo de R0:

$$R_0 := \frac{V_0^2}{P_0} \quad R_0 = 80 \Omega \quad \text{valor do resistor R0}$$

## 8 - Exportando os parametros para o Psim

$$V_{\text{in}} := \frac{V_{\text{in}}}{V} \quad V_{\text{in}} = 100$$

$$L_{11} := \frac{L_1}{H} \quad L_{11} = 4 \times 10^{-3}$$

$$L_{22} := \frac{L_2}{H} \quad L_{22} = 1 \times 10^{-3}$$

$$L_{00} := \frac{L_0}{H} \quad L_{00} = 8 \times 10^{-3}$$



$$C_{\text{int}} := \frac{C_{\text{int}}}{F} \quad C_{\text{int}} = 2 \times 10^{-5}$$

$$C_0 := \frac{C_0}{F} \quad C_0 = 6.25 \times 10^{-7}$$

$$C_3 := \frac{C_3}{F} \quad C_3 = 6.667 \times 10^{-6}$$

$$R_0 := \frac{R_0}{\Omega} \quad R_0 = 80$$

$$f_s := \frac{f_{\text{chav}}}{\text{Hz}} \quad f_s = 5 \times 10^4$$

$$a := 360 \cdot D \quad a = 180$$

$$b := 180 + (360 \cdot D) \quad b = 360$$

$$p := \begin{pmatrix} \text{"VDC="} & V_{\text{in}} \\ \text{"L1="} & L_{11} \\ \text{"L2="} & L_{22} \\ \text{"Cint="} & C_{\text{int}} \\ \text{"C0="} & C_0 \\ \text{"C3="} & C_3 \\ \text{"R0="} & R_0 \\ \text{"fs="} & f_s \\ \text{"D1="} & D \\ \text{"A="} & a \\ \text{"B="} & b \\ \text{"L0="} & L_{00} \end{pmatrix}$$

**zeta.txt**

p

## 9 - Cálculo Físico dos Indutores L2 e L4:

Produto Especificado: Núcleo Toroidal Pó de Ferro Magmattec

Código da Peça- 1.01.0035

Produto - MMT034T7725

**Número de espiras:**

$$A_L := 50 \cdot 10^{-9} \text{H}$$

$$N := \sqrt{\left(\frac{L_2}{A_L}\right)}$$

$$N = 141.421$$

$$N_e := \text{ceil}\left[\sqrt{\left(\frac{L_2}{A_L}\right)}\right]$$

$$N_e = 142$$

Para o projeto é assumido o número inteiro de espiras

$$L_e := 19.8 \cdot 10^{-2} \text{m}$$

$$I_{L2} = 5 \text{A}$$

$$\mu_r := 33$$

$$\mu_0 = 1.257 \times 10^{-6} \frac{\text{m} \cdot \text{kg}}{\text{A}^2 \cdot \text{s}^2}$$

$$B_{DC} := \frac{\mu_r \cdot \mu_0 \cdot N \cdot I_{L2}}{L_e}$$

$$B_{DC} = 0.148 \text{T}$$

$$B_{\text{sat}} := 1.1 \text{T}$$

$$N_{\text{maxB}} := \frac{0.8 \cdot B_{\text{sat}} \cdot L_e}{\mu_0 \cdot \mu_r \cdot I_{L2}}$$

$$N_{\text{maxB}} = 840.338$$

**Dados:**

Indutância:	$L_2 = 1 \times 10^{-3} \text{ H}$
Indução máxima:	$B_{\text{max}} := 1.1 \text{ T}$
Fator de ocupação:	$K_w := 0.4$
Densidade de corrente:	$J_{\text{max}} := 450 \frac{\text{A}}{\text{cm}^2}$

### Seção dos Condutores:

$$S_{Lm1} := \frac{I_m}{J_{\text{max}}} \quad S_{Lm1} = 1.111 \times 10^{-6} \text{ m}^2$$

$$S_{Lm} := \frac{(S_{Lm1})}{\text{cm}^2} \quad S_{Lm} = 0.011$$

### Cálculo da bitola dos condutores:

#### Penetração máxima:

$$\Delta := \frac{7.5}{\sqrt{f_{\text{chav}}}}$$

$$2 \cdot \Delta = 0.067 \text{ s}^{0.5}$$

Para este coeficiente de penetração a bitola máxima do fio é: AWG25

$$S_{\text{fio}} := 0.001624 \text{ cm}^2$$

**Tabela de Fios Esmaltados-livro:  
Projeto de Fontes Chaveadas**

$$S_{\text{fio\_isolado}} := 0.002078$$

$$\rho_{\text{fio}} := 0.001419 \frac{\Omega}{\text{cm}}$$

#### Área de Cobre:

$$A_{\text{cobre}} := \frac{I_{L2}}{J_{\text{max}}} \quad A_{\text{cobre}} = 1.111 \times 10^{-6} \text{ m}^2$$

#### Número de condutores:

$$n := \frac{A_{\text{cobre}}}{S_{\text{fio}} \text{ cm}^2} \quad n = 6.842$$

$$n_{\text{cond}} := \text{ceil} \left( \frac{A_{\text{cobre}}}{S_{\text{fio}} \text{ cm}^2} \right)$$

$$n_{\text{cond}} = 7$$

**Possibilidade de execução:**  $K_w = 0.4$

$$D_{\text{cobre}} := 0.45 \text{ mm}$$

$$D_{\text{int\_toroide}} := 49 \text{ mm}$$

$$N_{\text{max\_esp}} := K_w \cdot \frac{D_{\text{int\_toroide}}^2}{\left[ (n_{\text{cond}}) \cdot (D_{\text{cobre}})^2 \right]}$$

$$N_{\text{max\_esp}} = 677.531$$

Ok! Pode ser executado  $(N_e * n_{\text{cond}} < N_{\text{max\_esp}})$

**Comprimento do fio de cobre:**

$$H := 25.4 \cdot 10^{-1} \text{ cm}$$

$$\text{Lar} := 77.2 \cdot 10^{-1} \text{ cm} - 49 \cdot 10^{-1} \text{ cm} \quad \text{Lar} = 0.028 \text{ m}$$

$$\text{MLT} := (2 \cdot H) + (2 \cdot \text{Lar}) \quad \text{MLT} = 0.107 \text{ m}$$

$$L_{\text{enroll}} := \text{MLT} \cdot N_e$$

$$L_{\text{enroll}} = 15.222 \text{ m}$$

Comprimento Total do Enrolamento do Indutor

$$L_{\text{enrol}} := \frac{(L_{\text{enroll}})}{100}$$

$$L_{\text{enrol\_total}} := (L_{\text{enroll}}) \cdot n_{\text{cond}}$$

$$L_{\text{enrol\_total}} = 106.557 \text{ m}$$

## 9.1 - Cálculo Físico dos Indutores L1,L3,L5,L6

$$L_1 = 4 \times 10^{-3} \text{ H}$$

Produto Especificado: Núcleo Toroidal Pó de Ferro Magmattec

Código da Peça- 1.01.0035

Produto - MMT034T7725

**Número de espiras:**

$$N := \sqrt{\left(\frac{L_1}{A_L}\right)} \quad N = 282.843$$

$$N_e := \text{ceil}\left[\sqrt{\left(\frac{L_1}{A_L}\right)}\right] \quad N_e = 283$$

Para o projeto é assumido o número inteiro de espiras

$$L_e := 11.2 \cdot 10^{-2} \text{ m}$$

$$I_{L1} := 2.5 \text{ A}$$

$$\mu_r := 33$$

$$\mu_0 = 1.257 \times 10^{-6} \frac{\text{m} \cdot \text{kg}}{\text{A}^2 \cdot \text{s}^2}$$

$$B_{\text{DC}} := \frac{\mu_r \cdot \mu_0 \cdot N \cdot I_{L1}}{L_e} \quad B_{\text{DC}} = 0.262 \text{ T}$$

$$B_{\text{sat}} := 1.1 \text{ T}$$

$$N_{\text{maxB}} := \frac{0.8 \cdot B_{\text{sat}} \cdot L_e}{\mu_0 \cdot \mu_r \cdot I_{L1}} \quad N_{\text{maxB}} = 950.686$$

**Dados:**

Indutância:  $L_0 = 8 \times 10^{-3} \text{ H}$

Indução máxima:  $B_{\text{max}} := 1.1 \text{ T}$

Fator de ocupação:  $K_w := 0.4$

Densidade de corrente:  $J_{\text{max}} := 450 \frac{\text{A}}{\text{cm}^2}$

**Seção dos Condutores:**

$$S_{Lm1} := \frac{I_{L1}}{J_{max}} \quad S_{Lm1} = 5.556 \times 10^{-7} \text{ m}^2$$

$$S_{Lm} := \frac{(S_{Lm1})}{\text{cm}^2} \quad S_{Lm} = 5.556 \times 10^{-3}$$

**Cálculo da bitola dos condutores:****Penetração máxima:**

$$\Delta := \frac{7.5}{\sqrt{f_{chav}}}$$

$$2 \cdot \Delta = 0.067 \text{ s}^{0.5}$$

Para este coeficiente de penetração a bitola máxima do fio é: AWG25

$$S_{fio} := 0.001624 \text{ cm}^2$$

**Tabela de Fios Esmaltados-livro:  
Projeto de Fontes Chaveadas**

$$S_{fio\_isolado} := 0.002078$$

$$\rho_{fio} := 0.001419 \frac{\Omega}{\text{cm}}$$

**Área de Cobre:**

$$A_{cobre} := \frac{I_{L1}}{J_{max}} \quad A_{cobre} = 5.556 \times 10^{-7} \text{ m}^2$$

**Número de condutores:**

$$n := \frac{A_{cobre}}{S_{fio} \text{ cm}^2} \quad n = 3.421$$

$$n_{cond} := \text{ceil} \left( \frac{A_{cobre}}{S_{fio} \text{ cm}^2} \right)$$

$$n_{cond} = 4$$

**Possibilidade de execução:**

$$K_w = 0.4$$

$$D_{cobre} := 0.45 \text{ mm}$$

$$D_{int\_toroide} := 27.2 \text{ mm}$$

$$N_{\max\_esp} := K_w \cdot \frac{D_{\text{int\_toroide}}^2}{\left[ (n_{\text{cond}}) \cdot (D_{\text{cobre}})^2 \right]}$$

$$N_{\max\_esp} = 365.353$$

Ok! Pode ser executado  $(N_e * n_{\text{cond}} < N_{\max\_esp})$

### Comprimento do fio de cobre:

$$H := 25.4 \cdot 10^{-1} \text{ cm}$$

$$\text{Lar} := 77.2 \cdot 10^{-1} \text{ cm} - 49 \cdot 10^{-1} \text{ cm} \quad \text{Lar} = 0.028 \text{ m}$$

$$\text{MLT} := (2 \cdot H) + (2 \cdot \text{Lar}) \quad \text{MLT} = 0.107 \text{ m}$$

$$L_{\text{enroll}} := \text{MLT} \cdot N_e$$

$$L_{\text{enroll}} = 30.338 \text{ m}$$

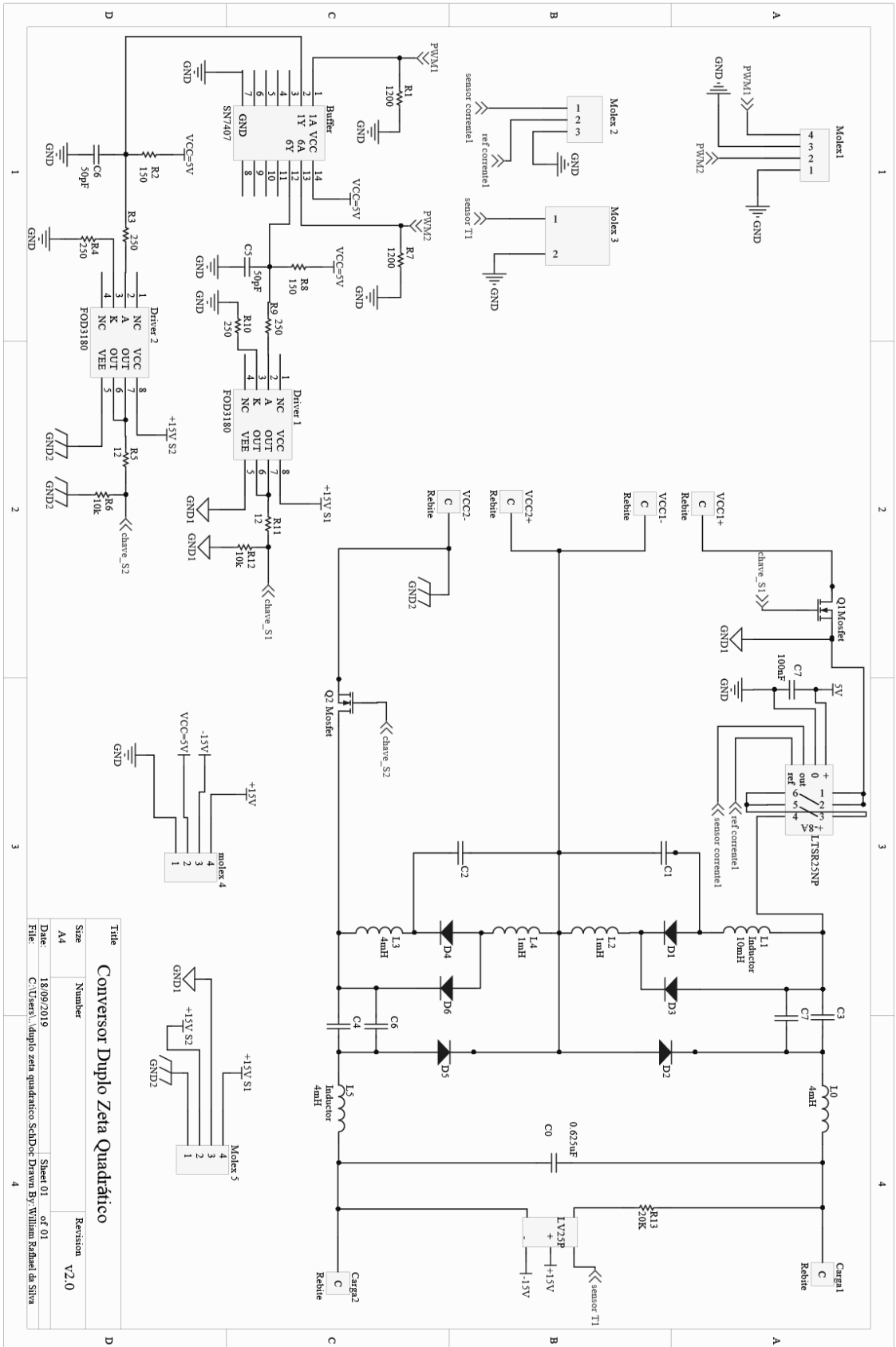
Comprimento Total do Enrolamento do Indutor

$$L_{\text{enrol}} := \frac{(L_{\text{enroll}})}{100}$$

$$L_{\text{enrol\_total}} := (L_{\text{enroll}}) \cdot n_{\text{cond}}$$

$$L_{\text{enrol\_total}} = 121.35 \text{ m}$$

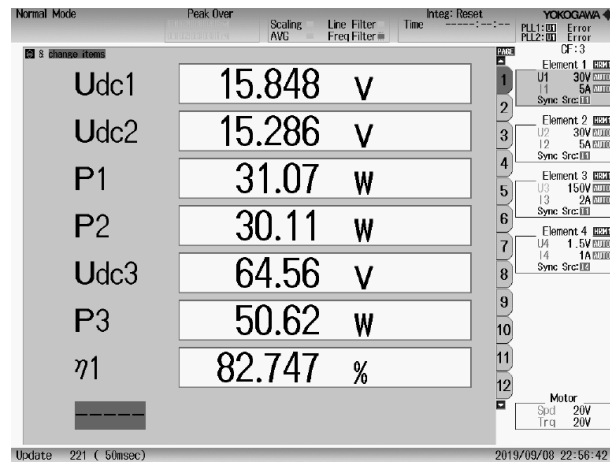
## APÊNDICE B - ESQUEMÁTICO DO CONVERSOR





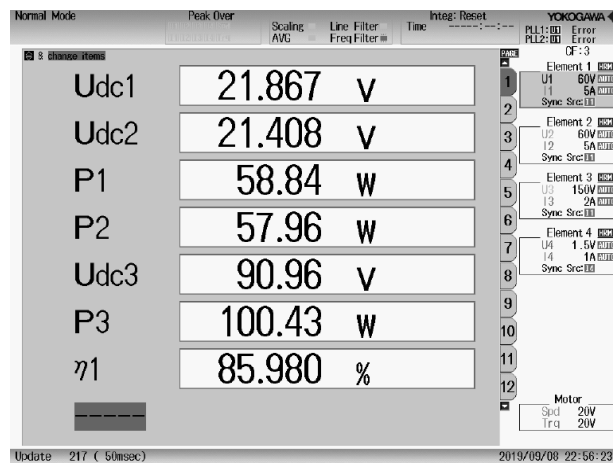
## APÊNDICE C – ANÁLISE DE RENDIMENTO

Figura 25 – Análise de rendimento com 10% da potência nominal



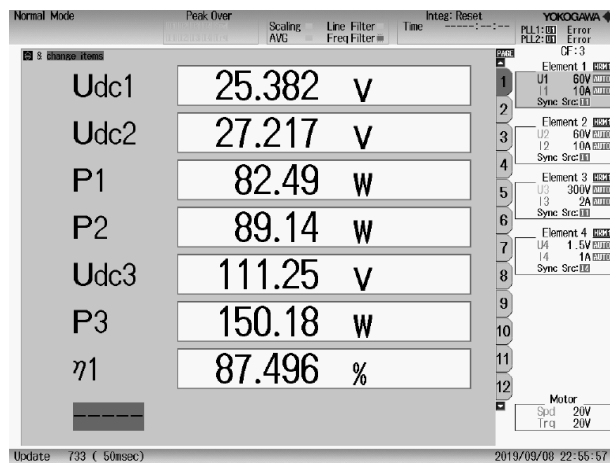
Fonte: Autoria própria (2019).

Figura 26 – Análise de rendimento com 20% da potência nominal



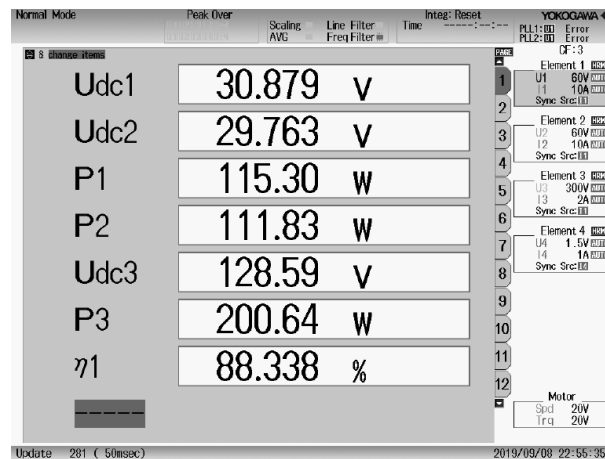
Fonte: Autoria própria (2019).

Figura 27 – Análise de rendimento com 30% da potência nominal



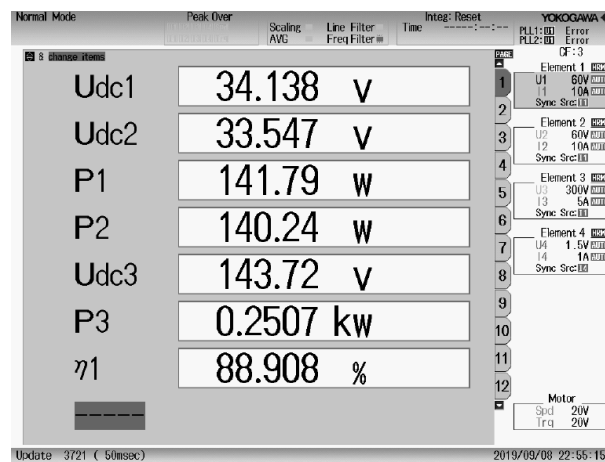
Fonte: Autoria própria (2019).

Figura 28 – Análise de rendimento com 40% da potência nominal



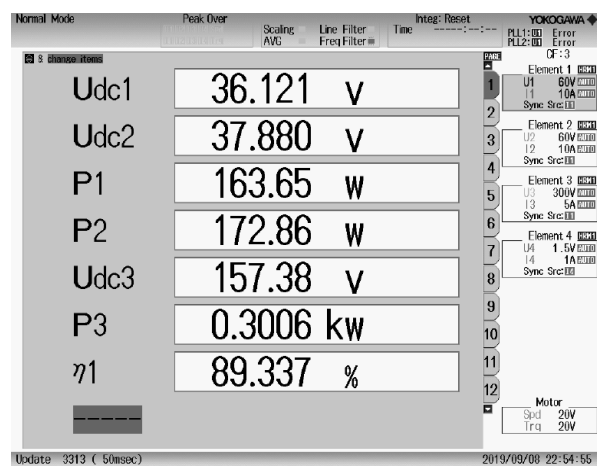
Fonte: Autoria própria (2019).

Figura 29 – Análise de rendimento com 50% da potência nominal



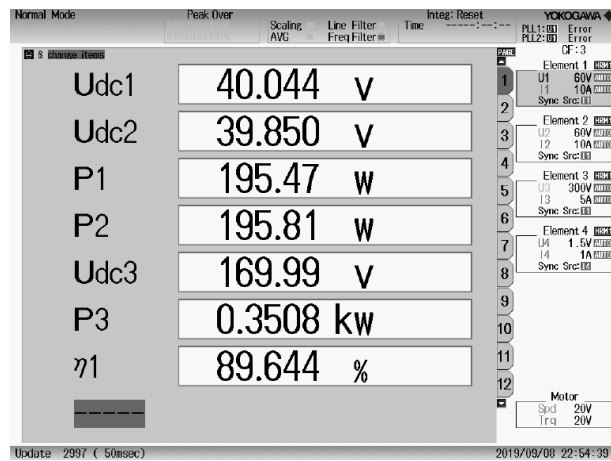
Fonte: Autoria própria (2019).

Figura 30 – Análise de rendimento com 60% da potência nominal



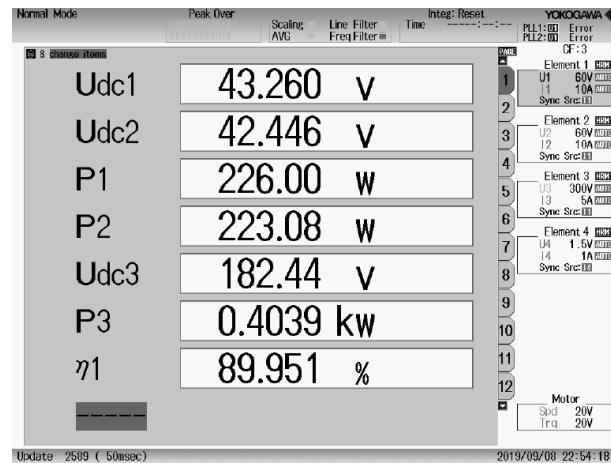
Fonte: Autoria própria (2019).

Figura 31 – Análise de rendimento com 70% da potência nominal



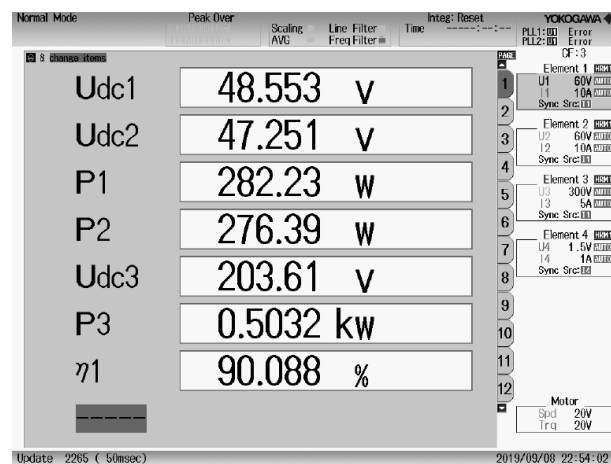
Fonte: Autoria própria (2019).

Figura 32 – Análise de rendimento com 80% da potência nominal



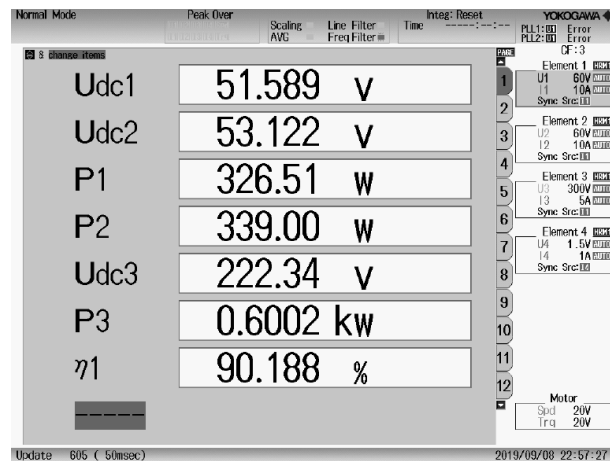
Fonte: Autoria própria (2019).

Figura 33 – Análise de rendimento com 100% da potência nominal



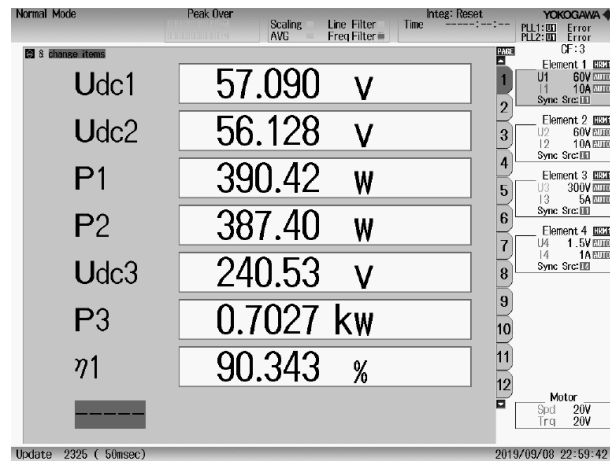
Fonte: Autoria própria (2019).

Figura 34 – Análise de rendimento com 120% da potência nominal



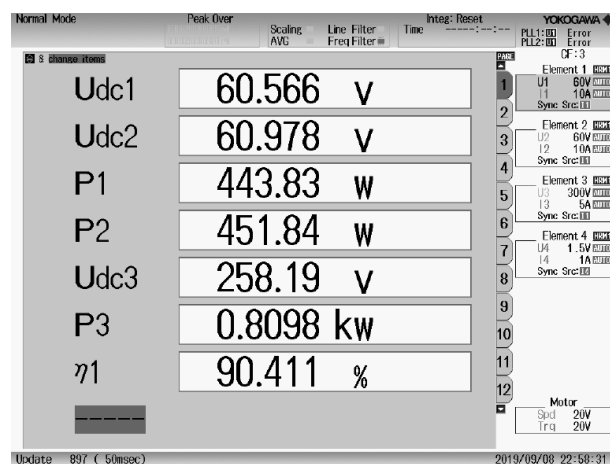
Fonte: Autoria própria (2019).

Figura 35 – Análise de rendimento com 140% da potência nominal



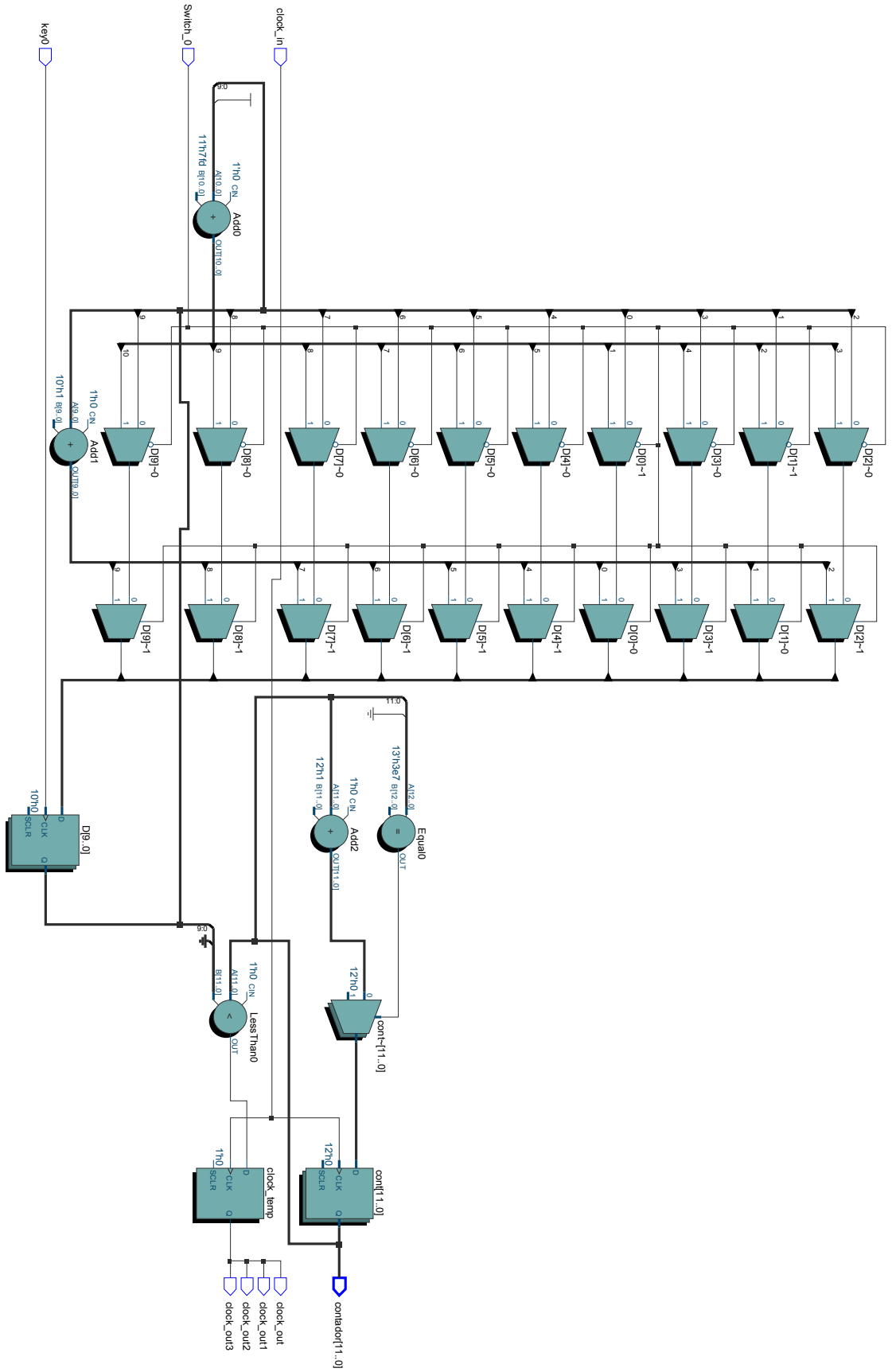
Fonte: Autoria própria (2019).

Figura 36 – Análise de rendimento com 160% da potência nominal



Fonte: Autoria própria (2019).

### APÊNDICE D – VISÃO GERAL DO PROGRAMA SINTETIZADO



**APÊNDICE E – ARTIGO CIENTÍFICO ACEITO NA CONFERÊNCIA  
INTERNACIONAL IEEE SOBRE TECNOLOGIA INDUSTRIAL**